

# SEMICONDUCTOR DEVICE

Publication number: JP11273342

Publication date: 1999-10-08

Inventor: MATSUZAKI YASURO

Applicant: FUJITSU LTD

Classification:

- International: G11C11/407; G06F1/08; H03K5/135; H03L7/00;  
G11C11/407; G06F1/08; H03K5/135; H03L7/00; (IPC1-7): G11C11/407; G06F1/08; H03K5/135; H03L7/00

- european:

Application number: JP19980072065 19980320

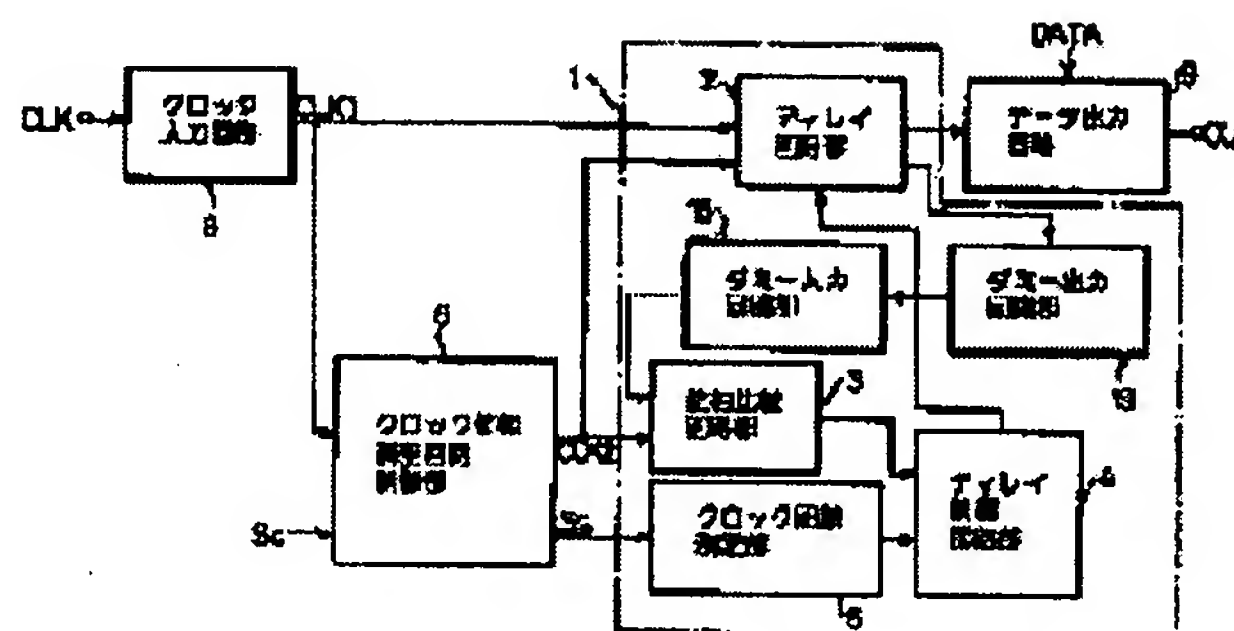
Priority number(s): JP19980072065 19980320

Report a data error here

## Abstract of JP11273342

**PROBLEM TO BE SOLVED:** To reduce the time period required for lock-on by adjusting a delay amount of a variable delay circuit or the like immediately after power-on or return from a standby mode in a semiconductor storage device comprising a clock phase adjusting circuit for adjusting a phase of an external clock signal to output an internal clock signal delayed by a predetermined phase.

**SOLUTION:** A clock phase adjusting circuit has: a delay circuit section 2 for delaying an external clock signal by a selected delay amount; a phase comparison circuit section 3 for comparing a phase of the external clock signal with a phase of a signal responding to an internal clock signal; a delay control circuit section 4 for selecting the delay amount of the delay circuit section 2 based on the phase comparison result; and a clock period measurement section 5 for measuring the delay amount for predetermined periods of the external clock signal and supplying the measured value to the delay control circuit section. During a period when the supply of the external clock signal to the phase comparison circuit section 3 is stopped, the above-mentioned delay amount is set in the delay circuit section 2 by the phase comparison circuit section 3.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-273342

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 11/407

G 0 6 F 1/08

H 0 3 K 5/135

H 0 3 L 7/00

C 1 1 C 11/34

H 0 3 K 5/135

H 0 3 L 7/00

G 0 6 F 1/04

C 1 1 C 11/34

3 6 2 S

D

3 2 0 A

3 6 4 C

審査請求 未請求 請求項の数5 O L (全 24 頁)

(21)出願番号

特願平10-72065

(22)出願日

平成10年(1998)3月20日

(71)出願人 000003223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 松崎 康郎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 石田 敬 (外3名)

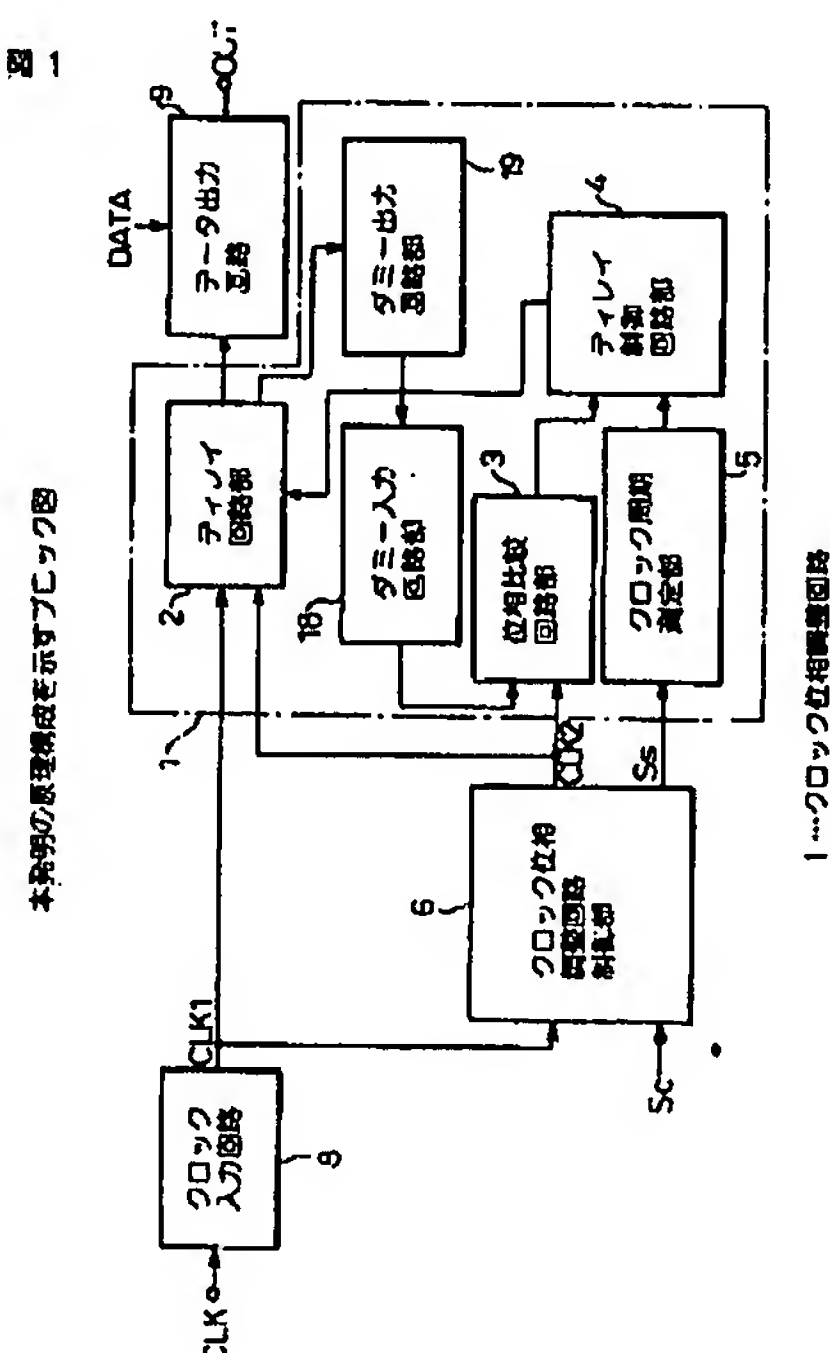
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 外部クロック信号の位相を調整して所定の位相だけ遅らせた内部クロック信号を出力するクロック位相調整回路を備えた半導体記憶装置に関し、電源投入直後またはスタンバイモードからの復帰直後に、可変ディレイ回路等の遅延量を調整してロックオンするまでに必要な時間を短縮することを目的とする。

【解決手段】 クロック位相調整回路が、選択された遅延量だけ外部クロック信号を遅延させるディレイ回路部2と、外部クロック信号の位相と内部クロック信号にตอบสนองする信号の位相を比較する位相比較回路部3と、位相比較結果に基づいてディレイ回路部の遅延量を選択するディレイ制御回路部4と、外部クロック信号の所定の周期分の遅延量を測定してディレイ制御回路部に供給するクロック周期測定部5とを有し、位相比較回路部への外部クロック信号の供給が停止している期間に、位相比較回路部により上記遅延量をディレイ回路部に設定する。

図1



## 【特許請求の範囲】

【請求項1】 外部から供給される外部クロック信号の位相を調整して内部クロック信号を出力するクロック位相調整回路を備えた半導体装置において、

該クロック位相調整回路は、

前記外部クロック信号の遅延量が選択可能であり、選択された遅延量だけ前記外部クロック信号を遅延させ、前記内部クロック信号として出力するディレイ回路部と、前記外部クロック信号の位相と前記内部クロック信号に応答する信号の位相とを比較する位相比較回路部と、該位相比較回路部による位相比較結果に基づいて、前記ディレイ回路部の遅延量を選択するディレイ制御回路部と、

前記外部クロック信号の所定の周期分に相当する遅延量を測定し、該遅延量の測定結果を該ディレイ制御回路部に供給するクロック周期測定部とを有しており、

前記ディレイ制御回路部は、前記位相比較回路部への前記外部クロック信号の供給が停止している期間に、前記外部クロック信号の所定の周期分に相当する遅延量を前記ディレイ回路部に設定することを特徴とする半導体装置。

【請求項2】 前記半導体装置の電源投入時から所定の期間だけ前記位相比較回路部への前記外部クロック信号の供給を停止させ、前記外部クロック信号の所定の周期分に相当する遅延量の測定結果を前記ディレイ制御回路部に供給することを可能にするクロック位相調整回路制御部をさらに備える請求項1記載の半導体装置。

【請求項3】 前記半導体装置の動作モードの切り替え時から所定の期間だけ前記位相比較回路部への前記外部クロック信号の供給を停止させ、前記外部クロック信号の所定の周期分に相当する遅延量の測定結果を前記ディレイ制御回路部に供給することを可能にするクロック位相調整回路制御部をさらに備える請求項1記載の半導体装置。

【請求項4】 前記半導体装置の電源を投入した直後に、前記クロック周期測定回路による前記遅延量の測定結果に基づいて前記外部クロック信号の位相調整を行い、つぎに、前記位相比較回路部による前記位相比較結果に基づいて前記外部クロック信号の位相調整を行う請求項2記載の半導体装置。

【請求項5】 前記半導体装置がスタンバイモードから復帰した直後に、前記クロック周期測定回路による前記遅延量の測定結果に基づいて前記外部クロック信号の位相調整を行い、つぎに、前記位相比較回路部による前記位相比較結果に基づいて前記外部クロック信号の位相調整を行う請求項3記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、外部から供給される外部クロック信号の位相を調整して所定の位相だけ遅

らせた内部クロック信号を出力するDLL (Delay Locked Loop) 回路等のクロック位相調整回路を備えた半導体装置に関する。さらに詳しくいえば、本発明は、外部クロック信号に対し所定の周期分、例えば、1周期分だけ遅らせた内部クロック信号を生成し、ダイナミック・ランダム・アクセス・メモリ (以後、DRAMと略記する) 等に入力されるデータの位相を上記内部クロック信号の位相に同期させることにより、特性のばらつきや周囲温度や電源電圧等の変動に関係なく外部クロック信号に対し常に所定の正確な位相にてデータを取り込んで出力する機能を備えた半導体装置に関するものである。

## 【0002】

【従来の技術】 通常、半導体集積回路 (LSI) では、外部からの入力信号としてデータが入力され、この入力されたデータに応じた処理動作が行われて所望のデータが出力される。一般的にいて、汎用のLSIでは、特性のばらつきや周囲温度や電源電圧等の変動に関係なく所望のデータを安定に出力するためには、外部からの入力されるデータに対して、どのようなタイミングで同データが出力されるかが重要であり、このために、仕様により上記タイミングを予め規定することが必要になってくる。例えば、DRAMでは、アドレス信号の最大周波数等と共に、アドレス信号の変化エッジからデータが出力されるタイミングや、データを書き込むためのデータセットアップ時間等が予め規定されている。

【0003】 近年、コンピュータ・システムにおけるCPU (中央処理装置) のクロック信号の高速化、あるいは他のさまざまな電子回路の処理速度の高速化に伴って、CPU内の主記憶装置やインタフェース部分も高速化する必要に迫られている。現在、クロック信号が100MHz以上のCPUも出現しているが、主記憶装置として広く使用される汎用のDRAMは、現行のCPUのクロック信号よりも1桁速いアクセス速度やデータ転送速度にて動作させることが必要である。そこで、100MHz以上でのデータ転送速度を可能にするシンクロナスDRAM (通常、SDRAMと略記される) 等の新しいDRAMが各種提案されている。

【0004】 このような高速にて動作するSDRAM等の新しいDRAMにおいては、外部から入力される高速の外部クロック信号に対し常に所定の正確な位相にてデータの入出力を行うことが必要である。このため、通常は、外部クロック信号の位相を正確に調整して内部クロック信号を生成する機能を有するDLL回路等のクロック位相調整回路をDRAMに設け、このクロック位相調整回路にて生成された内部クロック信号の位相と、DRAMに入力されるデータの位相とを同期させるようにしている。

【0005】 図21は、上記のような機能を備えた従来のクロック位相調整回路を有する半導体装置の構成を示す回路ブロック図である。図21に示すような従来のク



ロック位相調整回路は、外部から入力バッファ800を介して入力される外部クロック信号CLKの遅延量を変化させることにより所定の位相だけ遅延させた内部クロック信号を生成するための第1の可変ディレイ回路210および第2の可変ディレイ回路220と、上記外部クロック信号CLKの位相と、第2の可変ディレイ回路220からダミーデータ出力バッファ290およびダミー入力バッファ280を介して入力される信号の位相とを比較する位相比較回路300と、この位相比較回路部300による位相比較結果に基づいて、上記第1および第2の可変ディレイ回路210、220の遅延量を選択するディレイ制御回路400とを備えている。

【0006】さらに詳しく説明すると、外部クロック信号CLKは、入力バッファ800により所定のレベルになるまで増幅された後に、第1の可変ディレイ回路210および第2の可変ディレイ回路220に供給されると共に、位相比較回路300に第1入力信号として供給される。この場合、位相比較回路300の入力側において入力バッファ800による外部クロック信号CLKの位相遅れを相殺するために、ダミー入力バッファ280が設けられている。さらに、第1の可変ディレイ回路210により生成された内部クロック信号に同期してデータDATAを取り込んで出力するデータ出力バッファ900による内部クロック信号の位相遅れを相殺するために、ダミーデータ出力バッファ290が設けられている。それゆえに、第2の可変ディレイ回路220に入力された外部クロック信号CLKは、ダミーデータ出力バッファ290およびダミー入力バッファ280を介して位相比較回路300に第2入力信号として供給されることになる。

【0007】この位相比較回路300は、上記の第1入力信号の位相と第2入力信号の位相とを比較し、これらの2つの入力信号の位相の比較結果をディレイ制御回路400に入力する。このディレイ制御回路400は、外部クロック信号CLKと内部クロック信号との位相差が所定の周期分、例えば1周期分(360度)になるように、第1および第2の可変ディレイ回路210、220の遅延量を選択して調整する。この結果、第1の可変ディレイ回路210に入力された外部クロック信号CLKは、ディレイ制御回路400によって調整された遅延量を付与された後、データ出力バッファ900に供給される。このデータ出力バッファ900は、第1の可変ディレイ回路210から供給された内部クロック信号に同期してデータDATAを取り込み、出力信号OUTとして外部へ出力する。

【0008】

【発明が解決しようとする課題】従来のクロック位相調整回路を有する半導体装置においては、外部クロック信号と内部クロック信号の位相差が所定の周期分、例えば、360度になるまで(すなわち、ロックオンの状態

になるまで)第1および第2の可変ディレイ回路210、220の遅延量を一段ずつ変化させることにより、外部クロック信号の遅延量を調整していた。DRAM等が通常の動作モードになっている場合、すなわち、アクティブ状態になっている場合は、特性のばらつきや電源電圧や周囲温度の変化による外部クロック信号の周期の変動が小さいので、遅延量を一段ずつ変化させる方式により外部クロック信号の位相を調整しても問題は生じない。しかしながら、下記の(1)および(2)の場合にはロックオンに必要な遅延量に設定するまでに多くの時間が必要になり、データの書き込み/読み出し等の実際の動作が開始されるまでの時間の増大につながるという問題が発生する。

(1) 電源投入時

電源投入時には、可変ディレイ回路の遅延量を初期状態にリセットしてから外部クロック信号の位相調整を行うようにしている。このため、可変ディレイ回路がロックオンの状態になるまでに多くの時間がかかる。

(2) 動作モードの切り替え時、例えば、スタンバイモードからの復帰時

DRAM等がスタンバイモードになっているときは、消費電力を節減するために外部クロック信号のクロック周波数を低くしたり電源電圧を下げたりするので、可変ディレイ回路の遅延量は、通常のアクティブ状態にて設定される遅延量から大きく外れている。このため、上記のスタンバイモードから復帰するときには、可変ディレイ回路がロックオンの状態になるまでに多くの時間がかかる。

【0009】本発明は上記問題点に鑑みてなされたものであり、電源投入時またはスタンバイモードからの復帰時のように、DRAM等が通常の動作モードになっていない場合でも、可変ディレイ回路等の遅延量を調整してロックオンの状態にするまでに必要な時間を従来よりも短縮することが可能な半導体装置を提供することを目的とするものである。

【0010】

【課題を解決するための手段】図1は、本発明の原理構成を示すブロック図である。ここでは、位相調整回路を有する半導体装置の構成を簡略化して示すこととする。上記問題点を解決するために、本発明の半導体装置は、図1に示すように、外部から供給される外部クロック信号CLKの位相を調整して内部クロック信号を出力するクロック位相調整回路1を備えている。

【0011】このクロック位相調整回路1は、上記外部クロック信号CLK(または、第1のクロック入力信号CLK1)の遅延量が選択可能であり、選択された遅延量だけ上記外部クロック信号CLKを遅延させ、上記内部クロック信号として出力するディレイ回路部2と、上記外部クロック信号CLKの位相と上記内部クロック信号に応答する信号とを比較する位相比較回路部3と、こ

の位相比較回路部3による位相比較結果に基づいて、上記ディレイ回路部2の遅延量を選択するディレイ制御回路部4と、上記外部クロック信号CLKの所定の周期分に相当する遅延量を測定し、この遅延量の測定結果を上記ディレイ制御回路部4に供給するクロック周期測定部5とを有している。

【0012】ここで、上記ディレイ制御回路部4は、上記位相比較回路部3への外部クロック信号CLKの供給が停止している期間に、上記外部クロック信号CLKの所定の周期分に相当する遅延量を上記ディレイ回路部2に設定するようにしている。好ましくは、本発明の半導体装置は、この半導体装置の電源投入時から所定の期間だけ上記位相比較回路部3への上記外部クロック信号CLKの供給を停止させ、上記外部クロック信号CLKの所定の周期分に相当する遅延量の測定結果を上記ディレイ制御回路部4に供給することを可能にするクロック位相調整回路制御部6を備えている。

【0013】さらに、好ましくは、本発明の半導体装置は、この半導体装置の動作モードの切り替え時から所定の期間だけ上記位相比較回路部3への上記外部クロック信号CLKの供給を停止させ、上記外部クロック信号CLKの所定の周期分に相当する遅延量の測定結果を上記ディレイ制御回路部4に供給することを可能にするクロック位相調整回路制御部6を備えている。

【0014】さらに詳しく説明すると、図1においては、クロック位相調整回路1の入力側には、従来の入力バッファ800（図21）とほぼ同じ機能を有するクロック入力回路8が設けられている。また一方で、クロック位相調整回路1の入力側には、従来のデータ出力バッファ900（図21）とほぼ同じ機能を有するデータ出力回路9が設けられている。位相比較回路部3への外部クロック信号CLKの供給が行われている間、外部クロック信号CLKは、クロック入力回路8により所定のレベルになるまで増幅され、第1のクロック入力信号CLK1として出力される。この第1のクロック入力信号CLK1は、クロック位相調整回路1内のディレイ回路部2に供給されると共に、クロック位相調整回路制御部6を介し、位相比較回路部3に一方の入力信号として供給される（例えば、第2のクロック入力信号CLK2）。

【0015】ここでは、位相比較回路部3の入力側においてクロック入力回路8による外部クロック信号CLKの位相遅れを相殺するために、ダミー入力回路部18が設けられている。さらに、データ出力回路9による内部クロック信号の位相遅れを相殺するために、ダミー出力回路部19が設けられている。それゆえに、ディレイ回路部2に入力された第1のクロック入力信号CLK1は、ダミー出力回路部19およびダミー入力回路部18を介して、位相比較回路部3に他方の入力信号として供給されることになる。この位相比較回路3は、上記2つの入力信号の位相を比較し、これらの入力信号の位相比

較結果をディレイ制御回路部4に入力する。

【0016】さらに、好ましくは、本発明の半導体装置は、この半導体装置の電源を投入した直後に、上記クロック周期測定部5による上記遅延量の測定結果に基づいて上記外部クロック信号CLKの位相調整を行い、つぎに、上記位相比較回路部3による位相比較結果に基づいて上記外部クロック信号CLKの位相調整を行うようにしている。

【0017】さらに、好ましくは、本発明の半導体装置は、この半導体装置がスタンバイモードから復帰した直後に、上記クロック周期測定回路5による上記遅延量の測定結果に基づいて上記外部クロック信号CLKの位相調整を行い、つぎに、上記位相比較回路部3による位相比較結果に基づいて上記外部クロック信号CLKの位相調整を行うようにしている。

【0018】換言すれば、本発明の半導体装置においては、クロック位相調整回路制御部6およびクロック周期測定部5が新たに設けられている。このクロック位相調整回路制御部6は、半導体装置の電源投入時から一定期間、またはスタンバイモードからの復帰直後のように半導体装置の動作モードの切り替え時から一定期間だけ、ディレイ回路部2および位相比較回路部3への外部クロック信号CLKの供給を停止し、外部クロック信号CLKに同期したクロック周期測定用制御信号Ssをクロック周期測定部5に供給する。このクロック周期測定用制御信号Ssには、後述の図4に示すような外部クロック信号の所定の周期分に相当する遅延量の測定開始を示すスタート信号STARTや、同遅延量の測定終了を示すストップ信号STOPや、同遅延量の測定結果をディレイ制御回路部4に送出するためのゲート信号GATE等が含まれる。なお、半導体装置の電源投入のタイミング、または半導体装置の動作モードの切り替えのタイミングは、制御信号Scにより、DLL制御回路等のクロック位相調整回路制御部6に通知される。

【0019】さらに、クロック周期測定部5は、上記のクロック周期測定用制御信号Ssに従って、半導体装置の電源投入時から一定期間、または半導体装置の動作モードの切り替え時から一定期間だけ、外部クロック信号の所定の周期分、例えば、1周期分に相当する遅延量を測定し、この遅延量の測定結果をディレイ制御回路部4に供給する。さらに、このディレイ制御回路部4は、外部クロック信号の1周期分に相当する遅延量をディレイ回路部2に設定するようにしている。上記のようなクロック周期測定部5およびクロック位相調整回路制御部6の動作により、電源投入直後時または半導体装置の動作モードの切り替え直後に、ディレイ回路部の可変ディレイ回路等のロックオンに必要な遅延量の近傍にディレイ回路部の遅延量を設定することができる。

【0020】かくして、本発明では、電源投入時またはスタンバイモードからの復帰時のように、DRAM等が



通常の動作モードになっていない場合でも、可変ディレイ回路等をロックオンの状態にするまでに必要な時間を従来よりも大幅に短縮することが可能になる。

【0021】

【発明の実施の形態】以下、添付図面（図2～図20）を参照しながら本発明の好ましい実施の形態（以後、実施例とよぶこととする）を説明する。ただし、ここでは、本発明の好ましい実施例の構成および特徴を容易に理解することができるように、本発明の実施例が適用されるSDRAMの構成およびその動作を最初に説明することとする。

【0022】図2は、本発明の半導体装置が適用されるシンクロナスDRAMの概略的構成を示すブロック図であり、図3は、図2のシンクロナスDRAMの動作を説明するためのタイミングチャートである。図2に示すシンクロナスDRAM（SDRAM）からなる半導体チップは、チップ内のメモリ領域を構成するための複数のバンク（例えば、バンクNo. 0、No. 1）を有する2048ビット×2048ビットのDRAMコア108a、108bと、これらのDRAMコア108a、108bに供給すべき各種の制御信号（ローアドレス制御信号RAS、コラムアドレス信号CAS、およびライトイネーブル信号WE）を保持する制御信号ラッチ105a、105bと、SDRAMの動作モードを特定するためのモードレジスタ106と、コラムアドレスをカウントしてデータをアクセスするためのコラムアドレスカウンタ107a、107bとを備えている。

【0023】さらに、図2に示す半導体チップは、クロックイネーブル信号CKEに基づき、シンクロナスDRAMを動作させるための基準となるクロック信号（すなわち、外部クロック信号）CLKを保持して他の回路部に供給するためのクロックバッファ101と、各種のコマンド信号（チップセレクト信号/CS、ローアドレスセレクト信号/RAS、コラムアドレスセレクト信号/CAS、およびライトイネーブル信号/WE）をデコードして上記制御信号ラッチ105a、105bおよびモードレジスタ106に供給するコマンドデコーダ102と、ローアドレスおよびコラムアドレスを含むメモリアドレス信号A0～A10、およびバンクアドレス信号A11を保持してモードレジスタ106、コラムアドレスカウンタ107a、107bおよびDRAMコア108a、108bに供給するアドレスバッファ/レジスタおよびバンクセクタ72と、各種のデータDQ（DQ0～DQ7およびDQM）を保持してDRAMコアのI/O部に供給するI/Oデータバッファ/レジスタ104とを備えている。

【0024】さらに、図2において、チップセレクト信号/CS、ローアドレスセレクト信号/RAS、コラムアドレスセレクト信号/CAS、およびライトイネーブル信号/WE等のコマンド信号は、その組み合わせにより

各種のコマンドを入力することによって動作モードが決定されるようになっている。これらの各種コマンドは、コマンドデコーダ102により解読され、動作モードに応じて各回路を制御することになる。また一方で、上記のチップセレクト信号/CS、ローアドレスセレクト信号/RAS、コラムアドレスセレクト信号/CAS、およびライトイネーブル信号/WEは、制御信号ラッチ105aと105bにも入力され、次のコマンドが入力されるまで現在のコマンド信号の状態がラッチされる。

【0025】さらにまた、図2において、メモリアドレス信号A0～A10、およびバンクアドレス信号A11は、アドレスバッファ103により増幅されて各バンクのロードアドレスとして使用されると共に、コラムアドレスカウンタ107a、107bの初期値として使用される。DRAMコア108a、108bから読み出された信号は、I/Oデータバッファ/レジスタ104により増幅され、外部から入力される外部クロック信号CLKの立ち上がり同期して出力される。データ入力についても同様の動作が行われ、I/Oデータバッファ/レジスタ104に入力されたデータがDRAMコア108a、108bに書き込まれる。

【0026】図3に示すタイミングチャートにおいては、（a）部の外部クロック信号CLKの立ち上がり同期して各種の制御信号がDRAMコアに入力され（（b）部に示す）、このDRAMコア内のデータが読み出される。この場合、まず初めに、DRAMコア内のメモリマトリックスのローアドレス（Row Address）が選択され、所定の遅れ時間（後述のローアドレスアクセス時間tRCDに相当する）が経過した後にコラムアドレス（Column Address）が選択されてデータ読み出し動作が開始される。

【0027】さらに詳しく説明すると、SDRAMからデータを読み出す場合、前述の各種のコマンド信号の組み合わせからアクティブ（ACT）コマンドをコマンド端子に入力し、アドレス端子にはローアドレス信号を入力する。このようなコマンドおよびローアドレスが入力されると、SDRAMは活性状態になり、ローアドレスに応じたワード線を選択し、この選択されたワード線上のセル情報をビット線に出力した後に、センスアンプにて増幅する。また一方で、上記のローアドレスのアクセスに関係した部分の動作時間（ローアドレスアクセス時間tRCD）が経過した後に、リードコマンド（READ）およびコラムアドレスを入力する。このコラムアドレスに従って、選択されたセンスアンプのデータをデータバス線に出力した後に、データバスアンプにて増幅し、出力バッファによりさらに増幅することによって出力端子にデータDQが出力される（（c）部に示す）。

【0028】これら一連の動作は汎用のDRAMの動作と全く同じであるが、SDRAMの場合、コラムアドレスに関係する回路がパイプライン動作をするようになっ

ており、読み出されたリードデータは毎サイクル連続して出力されることになる。これにより、データ転送周期は外部クロック信号CLKの周期に等しくなる。SDRAMでのアクセス時間には3種類あり、いずれも外部クロック信号CLKの立ち上がり時点を基準にして定義される。図3において、 $t_{RAC}$ はローアドレスのアクセスに関係した部分の動作時間を示すローアドレスアクセス時間、 $t_{CAC}$ はコラムドレスのアクセスに関係した部分の動作時間を示すコラムアドレスアクセス時間、 $t_{AC}$ は外部クロック信号CLKからデータ出力までの時間遅れを示すクロックアクセス時間を示している。上記SDRAMを高速のメモリシステムにて使用する場合、コマンドを入力してから最初にデータが得られるまでの時間を示す $t_{RAC}$ や $t_{CAC}$ も重要であるが、データの転送速度を高める上では、クロックアクセス時間 $t_{AC}$ も重要である。

【0029】さらに、図3において、 $t_{OH}$ は前のサイクルまたは次のサイクルへの出力データ保持時間を示している。SDRAMの特性のばらつき、温度依存性および電源電圧依存性を考えると、 $t_{AC}$ と $t_{OH}$ とは一致せず、ある程度の時間幅を持つことになってしまう。この時間幅に相当する時間では、出力端子から出力されるべきデータが不確定になっている。このようにデータが不確定になっている時間、すなわち、データ不確定時間は、どのようなデータが出力されるか分からない時間を意味しており、メモリシステムでは使用することができない時間である。

【0030】上記のデータ不確定時間は、SDRAMの特性のばらつきや、温度および電源電圧等の変化により変動する傾向にある。このような場合でも、正確なタイミングにてデータを誤りなく出力するためには、外部クロック信号CLKに対してデータが常に所定の位相で出力されること、すなわち、クロックアクセス時間 $t_{AC}$ が常に一定であることが要求される。例えば、データの出力が内部クロック信号の立ち上がりに同期して行われることが望ましい場合、外部クロック信号CLKと内部クロック信号の位相差が常に所定の周期分、例えば、360度に保持されるようにクロック位相調整回路（図1参照）のディレイ回路部（図1参照）の遅延量を設定することが必要である。

【0031】図4は、本発明の一実施例の構成を示すブロック図である。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付して表すこととする。図4に示す実施例においては、本発明のクロック位相調整回路1（図1参照）として、外部から供給される外部クロック信号CLKの遅延量（位相）を調整して常に所定の周期分の位相だけ遅らせた内部クロック信号を出力するDLL回路10が設けられている。

【0032】このDLL回路10は、前述のディレイ回路部2（図1参照）として、外部から入力バッファ80

を介して入力される外部クロック信号CLK（すなわち、第1の入力クロック信号CLK1）の遅延量を変化させることにより所定の位相だけ遅延させた内部クロック信号を生成するための第1の可変ディレイ回路21および第2の可変ディレイ回路22を設けている。さらに、DLL回路10は、前述の位相比較回路部3（図1参照）として、上記外部クロック信号CLKの位相と、第2の可変ディレイ回路22からダミーデータ出力バッファ29およびダミー入力バッファ28を介して入力される信号の位相とを比較する位相比較回路30を設けている。

【0033】さらにまた、DLL回路10は、前述のディレイ制御回路部4（図1参照）として、位相比較回路部30による位相比較結果に基づいて、第1および第2の可変ディレイ回路21、22の遅延量を選択するディレイ制御回路40を設けている。さらにまた、DLL回路10は、前述のクロック周期測定部5（図1参照）として、位相比較回路30への外部クロック信号CLK（第2のクロック入力信号CLK2）の供給が停止している期間に、外部クロック信号CLKの所定の周期分に相当する遅延量を測定し、この遅延量の測定結果を上記ディレイ制御回路40に供給するクロック周期測定回路50を設けている。

【0034】さらに、図4に示す実施例においては、前述のクロック調整回路制御部6（図1参照）として、DRAM等の半導体装置の電源投入時、または動作モードの切り替え時から所定の期間だけ位相比較回路30への第2のクロック入力信号CLK2の供給を停止させてクロック周期測定回路50からディレイ制御回路40への上記遅延量の測定結果の供給を可能にするDLL制御回路60を設けている。このDLL制御回路60では、入力バッファ80から供給される第1のクロック入力信号CLK1をもとに第2のクロック入力信号CLK2を生成し、位相比較回路30に一方の入力信号として供給する。また一方で、半導体装置の電源投入を示す電源立ち上げ信号 $Sp_0$ 、または半導体装置のスタンバイモードからの復帰を示すパワーダウン復帰信号 $Spr$ がDLL制御回路60に入力された場合、第2のクロック入力信号CLK2の位相比較回路30への供給を停止させ、上記遅延量の測定開始を示すスタート信号STARTや、上記遅延量の測定終了を示すストップ信号STOPや、上記遅延量の測定結果をディレイ制御回路40に送出するためのゲート信号GATEをクロック周期測定回路50に供給する。

【0035】さらにまた、図4に示す実施例においては、従来の入力バッファ800（図21参照）とほぼ同じ機能を有する入力バッファ80と、従来のデータ出力バッファ900（図21参照）とほぼ同じ機能を有するデータ出力バッファ90とが設けられている。この場合、位相比較回路30の入力側において入力バッファ8



0による外部クロック信号CLKの位相遅れを相殺するために、第2の可変ディレイ回路22の出力側にダミー入力バッファ28が設けられている。また一方で、データ出力バッファ90による内部クロック信号の位相遅れを相殺するために、第2の可変ディレイ回路22の出力側にダミーデータ出力バッファ29が設けられている。

【0036】これらのダミー入力バッファ28およびダミーデータ出力バッファ29は、それぞれ、従来のダミー入力バッファ280およびダミーデータ出力バッファ290とはほぼ同じ機能を有する。それゆえに、第2の可変ディレイ回路220に輸入された外部クロック信号CLKは、ダミーデータ出力バッファ29およびダミー入力バッファ28を介して位相比較回路30に他方の入力信号として供給されることになる。この位相比較回路30は、上記2つの入力信号の位相を比較し、これらの入力信号の位相比較結果をディレイ制御回路40に輸入する。

【0037】図4において、DRAM等の半導体装置が通常の動作モードになっている場合、本発明の実施例のDLL回路10は、図21に示した従来例の位相調整回路と同様の動作を行う。このような通常の動作モードでは、外部クロック信号CLKは、入力バッファ80により増幅され、第1のクロック入力信号CLK1として第1の可変ディレイ回路21およびディレイ制御回路40に供給される。

【0038】このDLL制御回路40に供給された第1のクロック入力信号CLK1は、第2の可変ディレイ回路22に供給されると同時に、位相比較回路30の一方の入力信号として同位相比較回路30に供給される（第2のクロック入力信号CLK2）。また一方で、第1の可変ディレイ回路21に供給された第1のクロック入力信号CLK1は、ダミーデータ出力バッファ29およびダミー入力バッファ28を介して、位相比較回路30の他方の入力信号として同位相比較回路に供給される。ここで、位相比較回路30は、上記2つの入力信号の位相を比較し、この位相比較結果をディレイ制御回路40に出力する。

【0039】このディレイ制御回路40は、位相比較回路30から供給される位相比較結果に応じて第1の可変ディレイ回路21および第2の可変ディレイ回路22の遅延量を制御する。この結果、第1のディレイ回路21に輸入された第1のクロック入力信号CLK1は、ディレイ制御回路40により調整された遅延量を付与された後、データ出力バッファ90に供給される。このデータ出力バッファ90は、ディレイ制御回路40により調整された遅延量を付与された第1のクロック入力信号CLK1、すなわち、内部クロック入力信号に同期してデータDATAを取り込み、出力信号OUTとして外部へ出力する。

【0040】ついで、図4において、DRAM等の半導

体装置の電源を投入した直後の動作、またはスタンバイモードから復帰した直後の動作について説明する。半導体装置の電源投入時には、電源立ち上げ信号Spoが高電圧レベル（“H（High）”レベル）になり、半導体装置のスタンバイモードからの復帰時には、パワーダウン復帰信号Sprが“H”レベルになる。このときに、後述するように第2のクロック入力信号はCLK2は一定期間だけ低電圧レベル（“L（Low）”レベル）になり、外部クロック信号が第2の可変ディレイ回路22および位相比較回路40に供給されなくなる。

【0041】これらの第2の可変ディレイ回路22および位相比較回路40への外部クロック信号の供給が停止している間に、第1のクロック入力信号CLK1に同期したスタート信号START、ストップ信号STOPおよびゲート信号GATEが、クロック周期測定回路50に供給される。このクロック周期測定回路50は、これらのスタート信号START、ストップ信号STOPおよびゲート信号GATEを用いて外部クロック信号の1周期分の遅延量を測定し、このようにして得られた測定結果をディレイ制御回路40に出力する。このディレイ制御回路40は、上記測定結果に応じて第1の可変ディレイ回路21および第2の可変ディレイ回路22の遅延量を選択し、これらの可変ディレイ回路のロックオンに必要な遅延量の近傍に上記遅延量を設定する。その後、第2の可変ディレイ回路22および位相比較回路30への外部クロック信号CLKの供給が開始する。これ以降のDLL回路等の動作は、前述の通常時の動作モードにおける動作と同様である。

【0042】要約すれば、本発明の実施例では、DRAM等の半導体装置の電源を投入した直後、またはスタンバイモードから復帰した直後のように、DRAM等の半導体装置が通常の動作モードになっていない場合には、最初の1回目のサイクルにおいて外部クロック信号の1周期分の長さを測定することによりクロック周期の長さを一気に測定する手段（例えば、クロック周期測定回路50）を備えている。このような手段を用いることによって、第1および第2の可変ディレイ回路21、22の遅延量を一段ずつ変化させることなく上記可変ディレイ回路のロックオンに必要な遅延量の近傍にディレイ回路部の遅延量を迅速に設定することができる。次のサイクル以降は、位相比較回路30に外部クロック信号を供給することによって、ディレイ回路部の遅延量を一段ずつ変化させて内部クロック信号の位相をより精度良く調整し、可変ディレイ回路をロックオンの状態にすることができる。

【0043】それゆえに、本発明の実施例によれば、DRAM等の半導体装置が通常の動作モードになっていない場合でも、可変ディレイ回路の遅延量をロックオンの状態にするまでに必要な時間を大幅に短縮することが可能になる。図5は、図4のDLL制御回路の一構成例を



示す回路図であり、図6および図7は、図5のDLL制御回路の動作を説明するためのタイミングチャート（その1およびその2）である。

【0044】図5に示すように、本発明の実施例に係るDLL制御回路60（図4）の主要部は、電源が投入されたことを示す電源立ち上げ信号 $S_{po}$ 、またはスタンバイモードからの復帰を示すパワーダウン復帰信号 $S_{pr}$ の電圧レベルの変化に応じてスタート信号 $START$ 、ストップ信号 $STOP$ およびゲート信号 $GATE$ を生成するための第1のDフリップフロップ7-1～第6のDフリップフロップ7-6からなる複数段のDフリップフロップ（例えば、6段のDフリップフロップ）と、電源立ち上げ信号 $S_{po}$ またはパワーダウン復帰信号 $S_{pr}$ の電圧レベルの変化に応じて第2のクロック入力信号 $CLK2$ を位相比較回路30に供給するか否かを決定するための第7のDフリップフロップ7-7とにより構成される。

【0045】図6のタイミングチャートにおいて、電源投入時には“H”レベルの電源立ち上げ信号 $S_{po}$ （ノードN11）がNORゲート61を介してノードN8に供給される。あるいは、スタンバイモードからの復帰時には“H”レベルのパワーダウン復帰信号 $S_{pr}$ （ノードN12）がNORゲート61を介してノードN8に供給される供給される。このときに、2つのNAND素子61、62からなるRSフリップフロップの出力側（ノードN1）は“H”レベルとなり、第1のDフリップフロップ7-1に供給される。電源投入時には、実際に電源を立ち上げてから電源立ち上げ信号 $S_{po}$ （ノードN11）が供給されるまでの間、RSフリップフロップの出力側（ノードN1）の状態が決まらない可能性がある。

【0046】本実施例では、コンデンサ63cを介してノードN1を接地することにより、電源立ち上げ信号 $S_{po}$ （ノードN11）が供給されるまでノードN1が“L”レベルを保持するようにしている。第1のDフリップフロップ7-1では、図4に示すように、外部クロック信号 $CLK$ に対応する第1のクロック入力信号 $CLK1$ に同期して“H”レベルの信号を第2のDフリップフロップ7-2に出力する（ノードN2）。さらに、第1のDフリップフロップ以降に直列に設置された第2～第6のDフリップフロップ7-2～7-6も同様に、第1のクロック入力信号 $CLK1$ に同期して“H”レベルの信号を後段に出力する（ノードN3～ノードN6）。このときに、第2～第4のDフリップフロップ7-2～7-4から出力される信号（ノードN3～ノードN5）から、図7に示すような信号波形を有するスタート信号 $START$ 、ストップ信号 $STOP$ およびゲート信号 $GATE$ がそれぞれ生成され、クロック周期測定回路50に供給される。この場合、スタート信号 $START$ は、NANDゲート70およびインバーター71を介して出力され、ストップ信号 $STOP$ は、NANDゲート72およびインバーター73を介して出力される。さらに、

ゲート信号 $GATE$ は、3つのインバーター75、76および77と、NANDゲート78およびインバーター79を介して出力される。

【0047】第6のフリップフロップ7-6から出力される“H”レベルの信号は、インバーター64を介して“L”レベルの信号となり（ノードN7）、上記RSフリップフロップ回路のリセット入力側に供給される。それにより、同RSフリップフロップ回路の出力側（ノードN1）は“L”レベルになる。前述のノードN1およびノードN7の信号は、NANDゲート66およびインバーター67を介して、第7のDフリップフロップ7-7のセット入力側に供給される（ノードN9）。この第7のDフリップフロップ7-7は、インバーター65により生成される第1のクロック入力信号 $CLK1$ の反転信号（ $\neg CLK1$ ）に同期して、その反転出力端子（ $\neg Q$ ）に“L”レベルの信号を出力する（ノードN10）。この“L”レベルの出力信号（ノードN10）および第1のクロック入力信号（ $CLK1$ ）は、NANDゲート68およびインバーター69を経由し、第2のクロック入力信号 $CLK2$ （図7）として第2の可変ディレイ回路22および位相比較回路30に供給される。ノードN1およびノードN7の信号が“H”レベルのときに、第7のDフリップフロップ7-7の出力信号（ノードN10）は“L”レベルとなり、第2のクロック入力信号 $CLK2$ （図7）として“L”レベルの信号が出力される（図6の第1のクロック入力信号 $CLK1$ の信号パルス $\Phi \sim \Phi$ の期間）。すなわち、電源投入直後またはスタンバイモードからの復帰直後の一定期間は、外部クロック信号が第2の可変ディレイ回路22および位相比較回路30に供給されなくなる。

【0048】図8は、図4のクロック周期測定回路の一構成例を示す回路図であり、図9および図10は、図8のクロック周期測定回路の動作を説明するためのタイミングチャート（その1およびその2）である。図8に示すように、本発明の実施例に係るクロック周期測定回路50（図4）の主要部は、ダミー入力バッファとダミーデータ出力バッファとの遅延量の和に相当する遅延量を有する基本ディレイ回路25と、DLL制御回路60から供給されるスタート信号 $START$ およびストップ信号 $STOP$ に基づき外部クロック信号の1周期分に相当する遅延量をカウントするための複数段のディレイ回路および複数のトランファゲートと、ゲート信号 $GATE$ に基づき上記のカウントされた遅延量を保持するための複数のダイオードとトランファゲートからなるラッチ回路とにより構成される。

【0049】図9においては、前述したように、DRAM等の半導体装置の電源投入時またはスタンバイモードからの復帰時から一定の期間は、DLL制御回路60により生成されたスタート信号 $START$ 、ストップ信号 $STOP$ およびゲート信号 $GATE$ が、第1のクロック

入力信号に同期してクロック周期測定回路50に供給される。

【0050】ここで、スタート信号STARTは、基本ディレイ回路25を経由して、各段がNANDゲートおよびインバーターからなる複数段（ $n$ 段、 $n$ は任意の正の整数）のディレイ回路群に伝播していく（ノードN10、ノードN20…、ノードN40…、ノードN $n$ 0）。基本ディレイ回路25の遅延量は、前述の図2におけるダミー入力バッファ28およびダミーデータ出力バッファ29の遅延量の和に相当する。より詳しく説明すると、1段目のディレイ回路群は、基本ディレイ回路25の遅延量以外に、2つのNANDゲート50-1、50-3、および2つのインバーター50-2、50-4による遅延量を有している。さらに、2段目のディレイ回路群はNANDゲート50-5およびインバーター50-6による遅延量を含み、3段目のディレイ回路群はNANDゲート50-7およびインバーター50-8による遅延量を含み、4段目のディレイ回路群はNANDゲート50-9およびインバーター50-10による遅延量を含む。以下同様にして、 $n$ 段目のディレイ回路群はNANDゲート50- $n$ -4およびインバーター50- $n$ -3による遅延量を含む。

【0051】これらの複数段のデジタル回路群の1段あたりの遅延量は、図2における第1の可変ディレイ回路21および第2の可変ディレイ回路22の1段分の遅延量と等しい。なお、これらの可変ディレイ回路の回路構成の詳細は、図11にて後述する。図10に示すノードN10、ノードN20…、ノードN $n$ 0)を通過した信号は、これらのノードN10～ノードN $n$ 0にそれぞれ接続された複数のトランファゲート5-1～5- $n$ -5を経由して複数のラッチ回路で保持される（ノードN11、ノードN21…、ノードN41…、ノードN $n$ 1）。

【0052】これら複数のラッチ回路の1段目のラッチ回路は、互いに逆の極性になるように並列に接続された一対のインバーター50-14、50-15と、この一対のインバーターから出力される信号を反転するインバーター50-16と、このインバーター50-16に接続されるトランファゲート5-6とを有する（ノードN11）。さらに、上記複数のラッチ回路の2段目のラッチ回路は、互いに逆の極性になるように並列に接続された一対のインバーター50-17、50-18と、この一対のインバーターから出力される信号を反転するインバーター50-19と、このインバーター50-19に接続されるトランファゲート5-7とを有する（ノードN21）。

【0053】さらにまた、上記複数のラッチ回路の3段目のラッチ回路は、互いに逆の極性になるように並列に接続された一対のインバーター50-20、50-21と、この一対のインバーターから出力される信号を反転

するインバーター50-22と、このインバーター50-22に接続されるトランファゲート5-8とを有する（ノードN31）。さらにまた、上記複数のラッチ回路の4段目のラッチ回路は、互いに逆の極性になるように並列に接続された一対のインバーター50-23、50-24と、この一対のインバーターから出力される信号を反転するインバーター50-25と、このインバーター50-25に接続されるトランファゲート5-8とを有する（ノードN41）。以下同様にして、上記複数のラッチ回路の $n$ 段目のラッチ回路は、インバーター50- $n$ -2、50- $n$ -1および50- $n$ -1と、このインバーター50-25に接続されるトランファゲート5- $n$ とを有する（ノードN41）。

【0054】さらに、図8において、複数のトランファゲート中の $n$ 段目のトランファゲート5- $n$ -5は、インバーター50-13を介して1段目のトランファゲート5-1に接続されている。さらに、複数のラッチ回路中の $n$ 段目のトランファゲート5- $n$ は、インバーター50-26を介して1段目のトランファゲート5-6に接続されている。

【0055】図9において、ストップ信号STOPは、スタート信号STARTから第1のクロック入力信号CLK1の1周期分遅れて供給され、ノードN10～ノードN $n$ 0の各々に接続されたトランファゲート5-1～5- $n$ -5を閉じる。本実施例では、図9および図10に示すように、ストップ信号STOPが供給された時点でノードN30までスタート信号STARTが伝播しているため、外部クロック信号の1周期分に相当する遅延量はディレイ回路群の4段分と見なされる。上記トランファゲート5-1～5- $n$ -5を閉じた後、ノードN11～ノードN31はそれぞれ対応するラッチ回路にて“H”レベルに保持され、ノードN41以降はそれぞれ対応するラッチ回路にて“L”レベルに保持される。

【0056】また一方で、ゲート信号GATEは、図9および図10に示すように、スタート信号STARTから第1のクロック入力信号CLK1の2周期分、ストップ信号STOPから1周期分遅れて供給され、ノードN11～ノードN $n$ 1の各々に接続されたトランファゲート5-6～5- $n$ を一時的に通過状態にする。これらのトランファゲート5-6～5- $n$ の各々を通過した信号はディレイ制御回路40に供給される（ノードN1～ノードN $n$ 1）。

【0057】ついで、本発明の実施例に係る半導体装置において、上記のDLL制御回路およびクロック周期測定回路以外の構成要素の具体的な回路構成および動作について説明する。ここでは、DLL回路10内の第1および第2の可変ディレイ回路、ディレイ制御回路および位相比較回路の具体的な回路構成および動作波形に関する説明を行うこととする。

【0058】図11は、図4の可変ディレイ回路の回路

構成と動作波形を示す図である。さらに詳しくいえば、図11の(1)は、図4に示した第1の可変ディレイ回路21および第2の可変ディレイ回路22の各々(以下、単に可変ディレイ回路とよぶこととする)における1ビット分のディレイ回路の構成を示し、図11の(2)は、1ビット分のディレイ回路の動作を説明するためのタイミングチャートを示し、図11の(3)は、1ビット分のディレイ回路を複数段接続したときの回路構成を示すものである。

【0059】図11の(1)に示すように、1ビット分のディレイ回路は2個のNAND回路201と202、およびインバータ203からなる。この1ビット分のディレイ回路の動作を図11の(2)で説明すると、一つの入力信号 $\phi E$ は活性化信号で、“H”レベル(電源電圧 $V_{cc}$ のレベル)のときにディレイ回路が動作する。図11の(2)では入力信号 $\phi E$ が“H”レベルになって信号の受付が可能になった状態を示してある。信号INは1ビット分のディレイ回路への他の入力信号を示し、 $\phi N$ は複数段接続された隣接する右側からの信号を示し、OUTは1ビット分のディレイ回路の出力信号を示し、2a-1と2a-2は図11の(1)のディレイ回路における対応する内部端子(2a-1と2a-2)の動作波形を示している。したがって、OUTは左側への信号 $\phi N$ になる。

【0060】信号 $\phi N$ が“L”レベルのときには、出力信号OUTは常に“L”レベルである。信号 $\phi N$ が“H”レベルで入力信号 $\phi E$ が“L”レベルのときには出力信号OUTは“H”レベルである。信号 $\phi N$ が“H”レベルで入力信号 $\phi E$ が“H”レベルのときに、入力信号INが“L”レベルであれば出力信号OUTは“H”レベルになり、入力信号INが“H”レベルであれば“L”レベルになる。図11の(2)は、 $\phi E$  = “H”、 $\phi N$  = “H”の状態、入力信号INが“L”レベルから“H”レベルに立ち上がると、その入力信号INがNANDゲート201、202およびインバータ203で反転されながら、出力信号OUTとして出力側に伝達されている様子を示している。

【0061】図11の(3)は、図11の(1)の1ビット分のディレイ回路を複数段カスケード接続(縦続接続)した例で、実際のディレイ回路に相当する。図では3段しか示していないが、実際には多数段に接続されている。他の入力信号(すなわち、活性化信号) $\phi E$ の信号線は回路要素毎に、 $\phi E-1$ 、 $\phi E-2$ および $\phi E-3$ のように複数本あり、これらの活性化信号はディレイ制御回路40によって制御される。

【0062】図では真ん中の1ビット分のディレイ回路が活性化されており、活性化信号 $\phi E-2$ が“H”レベルとなっている。この場合、入力信号INが“L”レベルから“H”レベルに変化すると、左端の1ビット分のディレイ回路と右端の1ビット分のディレイ回路の活性

化信号 $\phi E-1$ および $\phi E-3$ は共に“L”レベルであるから、太い実線にて示すように、入力信号INはNAND回路201-1および201-3で止められてしまう。また一方で、活性化されている真ん中の1ビット分のディレイ回路の活性化信号 $\phi E-2$ は“H”レベルであるから、入力信号INはNAND回路201-2を通過する。右側の1ビット分のディレイ回路の出力信号OUTは“H”レベルであるから、入力信号INはNAND回路202-2も通過して、出力側には“L”レベルの出力信号OUTとして伝達されることになる。上記のように、活性化信号 $\phi N$ が“L”レベルのときには、左側の出力信号OUTは常に“L”レベルになるので、この“L”レベルの信号は左側の1ビット分のディレイ回路のNAND回路およびインバータに順次伝達され、最終的な出力信号OUTとして取り出される。

【0063】このように、活性化された1ビット分のディレイ回路を介して、入力信号INは折り返されるように伝達され、最終的な出力信号OUTになる。つまり、どの部分の活性化信号 $\phi E$ を“H”レベルにするかにより、遅延量を制御することができる。1ビット分の遅延量は、NAND回路とインバータの合計の信号伝搬時間で決定され、この時間がDLL回路の遅延量の単位時間になる。全体の遅延量に相当する遅延時間は、1ビット分の遅延量に、通過する段数を乗算した量になる。

【0064】図12は図4のディレイ制御回路の一構成例を示す図であり、図13は図12のディレイ制御回路の動作を説明するためのタイミングチャートである。図12に示すように、ディレイ制御回路も点線で囲った1ビット分のディレイ制御回路400-2を、ディレイ回路の段数分接続した構成であり、各段の出力がディレイ回路の各段の活性化信号 $\phi E$ になる。

【0065】1ビット分のディレイ制御回路400-2は、NANDゲート402-2と、インバータ403-2で構成されるフリップフロップの両端にそれぞれ直列に接続されたトランジスタ405-2、408-2、および407-2、409-2、そしてNORゲート回路401-2を有する。トランジスタ408-2のゲート端子は、前段の端子4a-2に接続され、かつ、トランジスタ409-2のゲート端子は、後段の端子4a-5に接続されて、前段と後段の信号を受けようになっている。また一方で、直列に接続されている他方のトランジスタには、カウントアップするときのセット信号 $\phi SE$ と $\phi SO$ 、カウントダウンするときのリセット信号 $\phi RE$ と $\phi RO$ が1回路おきに接続されている。図示のように、真ん中の1ビット分のディレイ制御回路400-2では、トランジスタ405-2がセット信号 $\phi SO$ に接続されると共に、トランジスタ407-2がリセット信号 $\phi RO$ に接続され、かつ、ディレイ制御回路400-2の両側の回路ではそれぞれ他のセット信号 $\phi SE$ とリセット信号 $\phi RE$ に接続される。NOR回路401



ー2には、左側のNANDゲート402-1の端子4a-1と同回路の端子4a-2の信号が入力される構成になっている。なお、リセット信号φRはディレイ制御回路をリセットする信号で、電源投入後に一時的に“L”レベルになり、その後は“H”レベルに固定される。

【0066】さらに、図12においては、前述のクロック周期測定回路50（図8参照）の複数のノードN1～N3の信号（ここでは、説明の都合上3つの信号のみを示す）が、インバーター403-1～403-3の出力側にそれぞれ供給される。本実施例では、ノードN1～N3が“H”レベル、ノードN4以降は“L”レベルとなるため、NOR回路401-4の出力側の活性化信号φE-4が“H”レベルとなる（図12には図示されていない）。これにより、外部クロック信号の1周期分に相当する遅延量として、可変ディレイ回路21にはディレイ回路の4段分が設定される。

【0067】図13のタイミングチャートにおいて、まず、リセット信号φRが一時的に“L”レベルになり、端子4a-1、4a-3および4a-5が“H”レベルにリセットされ、端子4a-2、4a-4および4a-6が“L”レベルにリセットされる。カウントアップするときには、カウントアップ信号であるリセット信号φSEとセット信号φSOが交互に“H”レベルと“L”レベルを繰り返す。セット信号φSEが“L”レベルから“H”レベルになると、端子4a-1は接地されて“L”レベルに変化し、端子4a-2は“H”レベルに変化する。端子4a-2が“H”レベルに変化したのを受けて、活性化信号φE-1は“H”レベルから“L”レベルに変化する。この状態はフリップフロップにラッチされるので、セット信号φSEが“L”レベルに戻ったとしても、活性化信号φE-1は“L”レベルのままである。

【0068】そして、端子4a-1が“L”レベルに変化したことを受けて、活性化信号φE-2が“L”レベルから“H”レベルに変化する。端子4a-2が“H”レベルに変化したためにトランジスタ408-2がオン状態（動作状態）になり、セット信号φSOが“L”レベルから“H”レベルになると、端子4a-3は接地されて“L”レベルに変化し、端子4a-4は“H”レベルに変化する。端子4a-4が“H”レベルに変化したのを受けて、活性化信号φE-2は“H”レベルから“L”レベルに変化する。この状態はフリップフロップにラッチされるので、セット信号φSOが“L”レベルに戻ったとしても、活性化信号φE-2は“L”レベルのままである。

【0069】そして、端子4a-3が“L”レベルに変化したことを受けて、活性化信号φE-3が“L”レベルから“H”レベルに変化する。図13では、セット信号φSEおよびφSOが1パルスずつ出ているだけであるが、ディレイ制御回路が何段にも接続されており、セ

ット信号φSEおよびφSOが交互に“H”レベルと“L”レベルとを繰り返せば、活性化信号φEが“H”レベルになる段の位置が順次右側にシフトする。したがって、位相比較回路30（図4）の位相比較結果により遅延量を増加させる必要がある場合には、交互にセット信号φSEおよびφSOのパルスを入力すればよい。

【0070】もし、カウントアップするときのセット信号φSEとφSO、および、カウントダウンするときのリセット信号φREとφROが出力されない状態、すなわち“L”レベルである状態が維持されるならば、出力の活性化信号φEが“H”レベルになる段の位置は固定される。したがって、位相比較回路30の位相比較結果により遅延量を維持する必要がある場合には、セット信号φSEとφSO、および、リセット信号φREとφROのパルスを入力しないようにする。

【0071】カウントダウンするときには、リセット信号φREとφROのパルスを交互に入力すると、カウントアップするときとは逆に活性化信号φEが“H”レベルになる段の位置が順次左側にシフトする。以上説明したように、図12に示したディレイ制御回路では、パルスを入力することにより、出力の活性化信号φEが“H”レベルになる段の位置を1つずつ移動させることが可能であり、これらの活性化信号φEで図11の（3）に示した可変ディレイ回路を制御すれば、遅延量が1単位ずつ増減するように制御することができる。

【0072】ここで、ディレイ回路およびディレイ制御回路について、さらに詳しく説明する。前述の実施例では、ディレイ回路として、図11の（3）に示すような回路を使用し、図12に示すようなディレイ制御回路で制御している。遅延量を単位量ずつ段階的に変化させることができる回路を実現するには、直列に接続された複数の信号経路を有し、この複数の信号経路の一部から選択的に信号が出力されるようにすることにより遅延量が選択可能なディレイラインを使用するのが一般的である。このようなディレイラインでは、遅延量を変化させるために隣接する信号経路から信号が出力されるように変化させる過渡的状态であっても、いずれの信号経路も選択されない状態は避ける必要がある。このため、上記のようなディレイラインを制御するディレイ制御回路は、過渡的状态であっても、いずれかの信号経路を選択する信号を常時出力する必要がある。

【0073】図12のディレイ制御回路では、各々の段は2つの相補的な信号を出力する。すなわち、NANDゲートの出力とインバーターの出力は相補信号である。そして、ある段までは一方の状态の相補信号を出力し、その段以降の段は反転した相補信号を出力し、反転した相補信号を最初に出力する段がシフトするようになっている。換言すれば、図12のディレイ制御回路は、シフトレジスタと同じ動作を行う。図12のディレイ制御回路では、NORゲートでこのようなシフトレジスタの相

補信号のうち、隣接する2段の異なる相補信号の否定論理和を各段毎に算出して、その出力を図11の(3)の各段の選択信号線に接続している。本発明の実施例に使用されるMOSトランジスタでは、一般に“H”レベルの論理値から“L”レベルの論理値への立ち下がりの方が、“L”レベルの論理値から“H”レベルの論理値への立ち上がりより変化速度が早い。図12のディレイ制御回路では、入力と共に“L”レベルの論理値のNORゲートの出力がディレイラインの選択位置を指示しており、このNORゲートの入力の一方が“H”レベルの論理値に変化するのは遅く、次にディレイラインの選択位置を指示するNORゲートの“H”レベルの入力は、より速い速度で“L”レベルに変化する。したがって、前に選択位置を指示していたNORゲートの出力が選択位置の指示を停止する前に、次に選択位置を指示するNORゲートの出力が選択位置を指示するようになるので、いずれのNORゲートも選択位置を指示しない状態を回避することができる。

【0074】ついで、図14～図20を参照しながら、図4の位相比較回路30の具体的な構成および動作について説明する。位相比較回路30は、位相比較部と増幅回路部の2つの回路部分により構成される。より詳しくいえば、図14は、図4の位相比較回路の位相比較部の一構成例を示す回路図であり、図15は、図14の位相比較回路の位相比較部の動作を説明するためのタイミングチャートであり、図16は、図4の位相比較回路の増幅回路部の一構成例を示す回路図であり、図17は、図14の位相比較回路の増幅回路部の動作を説明するためのタイミングチャートである。さらに、図18は、図16の位相比較回路の増幅部のカウントアップ動作を説明するためのタイミングチャートであり、図19は、同増幅部のカウント維持動作を説明するためのタイミングチャートであり、図20は、同増幅部のカウントダウン動作を説明するためのタイミングチャートである。

【0075】図14においては、一般的な位相比較回路の構成および動作を説明するために、位相比較回路30(図4)で比較すべき2つの信号を、出力信号 $\phi_{out}$ (前述の内部クロック信号に相当する)と外部クロック信号 $\phi_{ext}$ (前述の第2のクロック入力信号CLK2に相当する)により表すこととする。ここでは、外部クロック信号 $\phi_{ext}$ を基準として出力信号 $\phi_{out}$ の位相が判定され、 $\phi_a \sim \phi_e$ は上記増幅回路部に接続される出力信号を示している。図14に示すように、位相比較回路内の位相比較部は、各々が2個のNANDゲート3a-2、3a-3により構成されたフリップフロップ回路301、303と、その状態をラッチするラッチ回路305、306と、これらのラッチ回路の活性化信号を生成する回路304と、外部クロック信号 $\phi_{ext}$ の位相許容値を得る1ディレイ分のディレイ回路302とを有している。

【0076】図15において、(1)は比較対象信号である出力信号 $\phi_{out}$ が、比較基準となる外部クロック信号 $\phi_{ext}$ よりも位相が進んでおり、出力信号 $\phi_{out}$ が外部クロック信号 $\phi_{ext}$ よりも先に“L”レベルから“H”レベルになる場合を示している。出力信号 $\phi_{out}$ および外部クロック信号 $\phi_{ext}$ が共に“L”レベルのときには、フリップフロップ回路301、303の端子3a-2、3a-3、3a-4および3a-5は共に“H”レベルになっている。出力信号 $\phi_{out}$ が“L”レベルから“H”レベルに変化すると、端子3a-2と3a-4は共に“H”レベルから“L”レベルに変化する。その後、外部クロック信号 $\phi_{ext}$ が“L”レベルから“H”レベルになり、1単位の遅延量の分だけ遅れて端子3a-1が“L”レベルから“H”レベルになるが、フリップフロップの両端の電位はすでに確定しているので、なにも変化は起こらない。

【0077】結局のところ、端子3a-2は“L”レベル、3a-3は“H”レベル、端子3a-4は“L”レベル、端子3a-5は“H”レベルを維持する。また一方で、外部クロック信号 $\phi_{ext}$ が“L”レベルから“H”レベルに変化したのに応じて、回路304の出力信号 $\phi_a$ は“L”レベルから“H”レベルに変化し、端子3a-6には一時的に“H”レベルになるパルスが印加される。この端子3a-6の信号は、ラッチ回路305、306のNANDゲートに入力されるので、これらのNANDゲート回路が一時的に活性化されて、フリップフロップ回路301、303の両端の電位状態をラッチ回路305、306に取り込むことになる。最終的には、出力信号 $\phi_b$ が“H”レベル、出力信号 $\phi_c$ が“L”レベル、出力信号 $\phi_d$ が“H”レベル、出力信号 $\phi_e$ が“L”レベルとなる。

【0078】つぎに、図15の(2)は、比較対象信号である出力信号 $\phi_{out}$ と、比較基準となる外部クロック信号 $\phi_{ext}$ との位相がほぼ同じで、出力信号 $\phi_{out}$ が外部クロック信号 $\phi_{ext}$ とほぼ同時に“L”レベルから“H”レベルになる場合を示している。すなわち、出力信号 $\phi_{out}$ の立ち上がり時点と端子3a-1での立ち上がり時点との時間差内に出力信号 $\phi_{out}$ が“L”レベルから“H”レベルに変化した場合である。この場合、まず、外部クロック信号 $\phi_{ext}$ が“L”レベルから“H”レベルになることによってフリップフロップ回路301の端子3a-3が“L”レベルから“H”レベルに変化するが、フリップフロップ回路303では端子3a-1が“L”レベルのままなので、逆に端子3a-4が“H”レベルから“L”レベルに変化する。その後、端子3a-1が“H”レベルから“L”レベルに変化するが、フリップフロップ回路303の状態は既に決まっているので何も変化は起こらない。その後に、端子3a-6が一時的に“H”レベルになるので、ラッチ回路にはこの状態が記憶される。結局、出力信号



出力信号 $\phi b$ が“L”レベル、出力信号 $\phi c$ が“H”レベル、出力信号 $\phi d$ が“H”レベル、出力信号 $\phi e$ が“L”レベルとなる。

【0079】さらに、図15の(3)は、比較対象信号である出力信号 $\phi out$ が、比較基準となる外部クロック信号 $\phi ext$ よりも位相が遅れており、出力信号 $\phi out$ が外部クロック信号 $\phi ext$ よりも後に“L”レベルから“H”レベルになる場合を示している。この場合は、外部クロック信号 $\phi ext$ によって2個のフリップフロップ回路301と303に変化が生じて、端子3a-3および3a-5が“H”レベルから“L”レベルに変化する。そして、最終的には、出力信号 $\phi b$ が“L”レベル、出力信号 $\phi c$ が“H”レベル、出力信号 $\phi d$ が“L”レベル、出力信号 $\phi e$ が“H”レベルとなる。

【0080】このように、外部クロック信号 $\phi ext$ の立ち上がり時間を基準として、出力信号 $\phi out$ の立ち上がり時間がそれ以前に“H”レベルになったか、ほぼ同時であったか、または遅れて“H”レベルになったかを検出することが可能になる。これらの検出結果を出力信号 $\phi b$ 、 $\phi c$ 、 $\phi d$ 、および $\phi e$ の値としてラッチしておき、その値に基づいてディレイ制御回路をカウントアップするか、またはカウントダウンするかを決める。

【0081】図16に、位相比較回路30(図4)の増幅回路部の回路構成を示す。ここで、増幅回路部は、JKフリップフロップ307と、NANDゲートとインバーターで構成される増幅部308の2つの部分からなる。JKフリップフロップ307には、図14の位相比較部から出力信号 $\phi a$ が入力され、この出力信号 $\phi a$ が“L”レベルであるか“H”レベルであるかに応じて端子5a-9および5a-11の電位が交互に“L”レベルと“H”レベルを繰り返す仕組みになっている。増幅部308は、JKフリップフロップ307の出力信号と、位相比較部からの出力信号 $\phi b$ 〜 $\phi d$ とを受けて増幅した後に出す。

【0082】まず、JKフリップフロップ307の動作を、図17のタイミングチャートを参照して説明する。時間T1で、出力信号 $\phi a$ が“H”レベルから“L”レベルに変化すると、端子5a-1および5a-10が“L”レベルから“H”レベルに変化する。また一方で、端子5a-1の変化に応じて、端子5a-5、5a-6および5a-7に状態の変化が起こるが、出力信号 $\phi a$ が“L”レベルであるために、端子5a-8には変化が生じない。結局のところ、端子5a-9の出力レベルは変化せず、端子5a-11のみが“L”レベルから“H”レベルになる。

【0083】つぎに、時間T2になって、出力信号 $\phi a$ が“L”レベルから“H”レベルに変化すると、時間T1での動きと逆に端子5a-8が“H”レベルから“L”レベルに変化するが、端子5a-7が変化しないので端子5a-10は変化せず、出力5a-9は“L”

レベルから“H”レベルに変化し、端子5a-11は変化しない。このようにして、時間T2以降においても、JKフリップフロップ回路307は、出力信号 $\phi a$ の動きに応じて端子5a-9および端子5a-11が交互に“H”レベルと“L”レベルを繰り返す動きをする。

【0084】つぎに、増幅部308の動作を、図18〜図20を参照して説明する。図18は、比較基準となる外部クロック信号 $\phi ext$ の立ち上がりに対して、比較対象信号である出力信号 $\phi out$ が先に“L”レベルから“H”レベルになる場合を示している。この場合、位相比較部から供給される出力信号 $\phi b$ が“H”レベル、出力信号 $\phi c$ が“L”レベル、出力信号 $\phi d$ が“H”レベル、出力信号 $\phi e$ が“L”レベルである。

【0085】結局のところ、端子5a-12が“H”レベルに、端子5a-13が“L”レベルに固定され、セット信号 $\phi SO$ および $\phi SE$ がJKフリップフロップの状態に応じて変化するが、リセット信号 $\phi RO$ および $\phi RE$ は、端子5a-13が“L”レベルのため変化しない。図19は、比較対象信号である出力信号 $\phi out$ が、比較基準となる外部クロック信号 $\phi ext$ とほぼ同時に“L”レベルから“H”レベルになる場合を示している。この場合、位相比較部から供給される出力信号 $\phi b$ が“L”レベル、出力信号 $\phi c$ が“H”レベル、出力信号 $\phi d$ が“H”レベル、出力信号 $\phi e$ が“L”レベルである。結局のところ、端子5a-12および5a-13が“L”レベルに固定され、セット信号 $\phi SO$ および $\phi SE$ が、JKフリップフロップの出力である増幅部に影響することなく、セット信号 $\phi SO$ および $\phi SE$ と、リセット信号 $\phi RO$ および $\phi RE$ とは“L”レベルに固定されたままになる。

【0086】図20は、比較対象信号である出力信号 $\phi out$ が、比較基準となる外部クロック信号 $\phi ext$ の立ち上がりに対して遅れて“L”レベルから“H”レベルになる場合を示している。この場合の位相比較部から供給される出力信号 $\phi b$ が“L”レベル、出力信号 $\phi c$ が“H”レベル、出力信号 $\phi d$ が“L”レベル、出力信号 $\phi e$ が“H”レベルである。結局のところ、端子5a-12が“L”レベルに、端子5a-13が“H”レベルに固定され、リセット信号 $\phi RO$ および $\phi RE$ がJKフリップフロップの状態に応じて変化するが、セット信号 $\phi SO$ および $\phi SE$ は端子5a-13が“L”レベルのため変化しない。

【0087】なお、これまでは、本発明のクロック位相調整回路が、SDRAM等の高速メモリシステムに適用されるDLL回路により構成される場合について述べてきた。しかしながら、本発明はこのような特定の回路構成に限定されるものではなく、一般的な半導体装置に適用され得るものであることはいうまでもない。

【0088】

【発明の効果】以上説明したように、本発明の半導体装



置によれば、第1に、半導体装置が通常の動作モードになっていない場合でも、クロック周期測定部により外部クロック信号の所定の周期分に相当する遅延量を測定して可変ディレイ回路等のロックオンに必要な遅延量の近傍に上記遅延量を設定するようにしているので、ロックオンの状態にするまでに必要な時間を大幅に短縮することが可能になる。

【0089】さらに、本発明の半導体装置によれば、第2に、半導体装置の電源投入時から一定期間だけ、ディレイ回路部および位相比較回路部への外部クロック信号の供給を停止させ、外部クロック信号の所定の周期分に相当する遅延量を測定して可変ディレイ回路等のロックオンに必要な遅延量の近傍に上記遅延量を設定するようにしているので、半導体装置の電源立ち上がりによるDLL回路等の誤動作を起こすことなく可変ディレイ回路等をロックオンの状態にするまでに必要な時間を大幅に短縮することが可能になる。

【0090】さらに、本発明の半導体装置によれば、第3に、半導体装置の動作モードの切り替え時から一定期間だけ、ディレイ回路部および位相比較回路部への外部クロック信号の供給を停止させ、外部クロック信号の所定の周期分に相当する遅延量を測定して可変ディレイ回路等のロックオンに必要な遅延量の近傍に上記遅延量を設定するようにしているので、半導体装置の動作モードの切り替えによりDLL回路等に悪影響を及ぼすことなく可変ディレイ回路等をロックオンの状態にするまでに必要な時間を大幅に短縮することが可能になる。

【0091】さらに、本発明の半導体装置によれば、第4に、半導体装置の電源投入直後のみ、可変ディレイ回路等のロックオンに必要な遅延量の近傍に上記遅延量を一気に調整し、つぎに、可変ディレイ回路等を使用して上記遅延量を正確に調整しているので、半導体装置の電源立ち上がりによるDLL回路等の誤動作を起こすことなく内部クロック信号の位相を高精度にてかつ迅速に調整することが可能になる。

【0092】さらに、本発明の半導体装置によれば、第5に、半導体装置がスタンバイモードから復帰した直後のみ、可変ディレイ回路等のロックオンに必要な遅延量の近傍に上記遅延量を一気に調整し、つぎに、可変ディレイ回路等を使用して上記遅延量を正確に調整しているので、半導体装置のスタンバイモードからの復帰直後のDLL回路等の誤動作を起こすことなく内部クロック信号の位相を高精度にてかつ迅速に調整することが可能になる。

【図面の簡単な説明】

【図1】本発明の原理構成を示すブロック図である。

【図2】本発明の半導体装置が適用されるシンクロナスDRAMの概略的構成を示すブロック図である。

【図3】図2のシンクロナスDRAMの動作を説明するためのタイミングチャートである。

【図4】本発明の一実施例の構成をブロック図である。

【図5】図4のDLL制御回路の一構成例を示す回路図である。

【図6】図5のDLL制御回路の動作を説明するためのタイミングチャート（その1）である。

【図7】図5のDLL制御回路の動作を説明するためのタイミングチャート（その2）である。

【図8】図4のクロック周期測定回路の一構成例を示す回路図である。

【図9】図8のクロック周期測定回路の動作を説明するためのタイミングチャート（その1）である。

【図10】図8のクロック周期測定回路の動作を説明するためのタイミングチャート（その2）である。

【図11】図4の可変ディレイ回路の回路構成と動作波形を示す図である。

【図12】図4のディレイ制御回路の一構成例を示す回路図である。

【図13】図12のディレイ制御回路の動作を説明するためのタイミングチャートである。

【図14】図4の位相比較回路（位相比較部）の一構成例を示す回路図である。

【図15】図14の位相比較回路（位相比較部）の動作を説明するためのタイミングチャートである。

【図16】図4の位相比較回路（増幅回路部）の一構成例を示す回路図である。

【図17】図16の位相比較回路（JKフリップフロップ）の動作を説明するためのタイミングチャートである。

【図18】図16の位相比較回路（増幅部）のカウントアップ動作を説明するためのタイミングチャートである。

【図19】図16の位相比較回路（増幅部）のカウント維持動作を説明するためのタイミングチャートである。

【図20】図16の位相比較回路（増幅部）のカウントダウン動作を説明するためのタイミングチャートである。

【図21】従来のクロック位相調整回路を有する半導体装置の構成を示す回路ブロック図である。

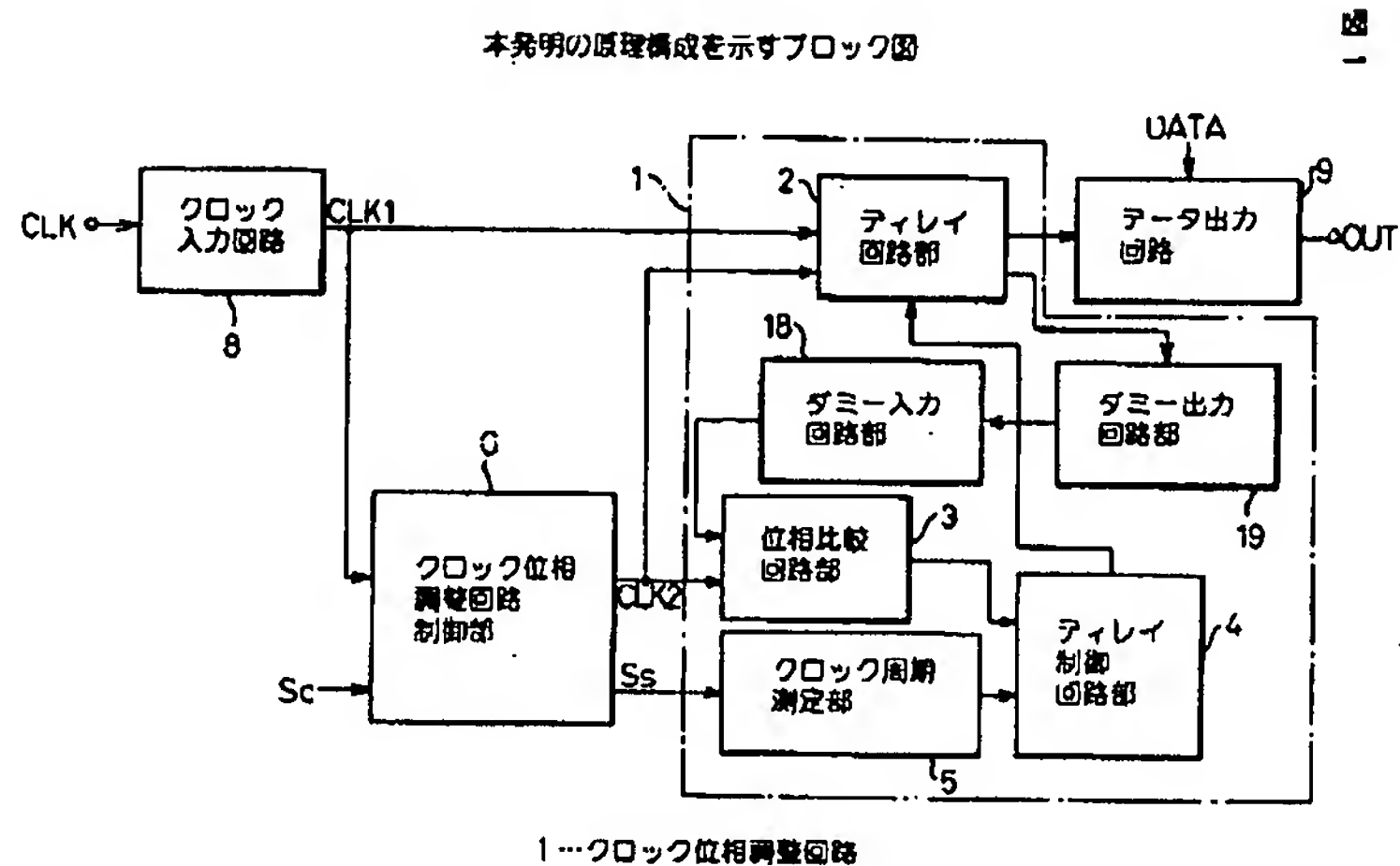
【符号の説明】

- 1…クロック位相調整回路
- 2…ディレイ回路部
- 3…位相比較回路部
- 4…ディレイ制御回路部
- 5…クロック周期測定部
- 6…クロック位相調整回路制御部
- 7-1～7-7…Dフリップフロップ
- 8…クロック入力回路
- 9…データ出力回路
- 10…DLL回路
- 18…ダミー入力回路部
- 19…ダミー出力回路部
- 21…第1の可変ディレイ回路
- 22…第2の可変ディレイ回路

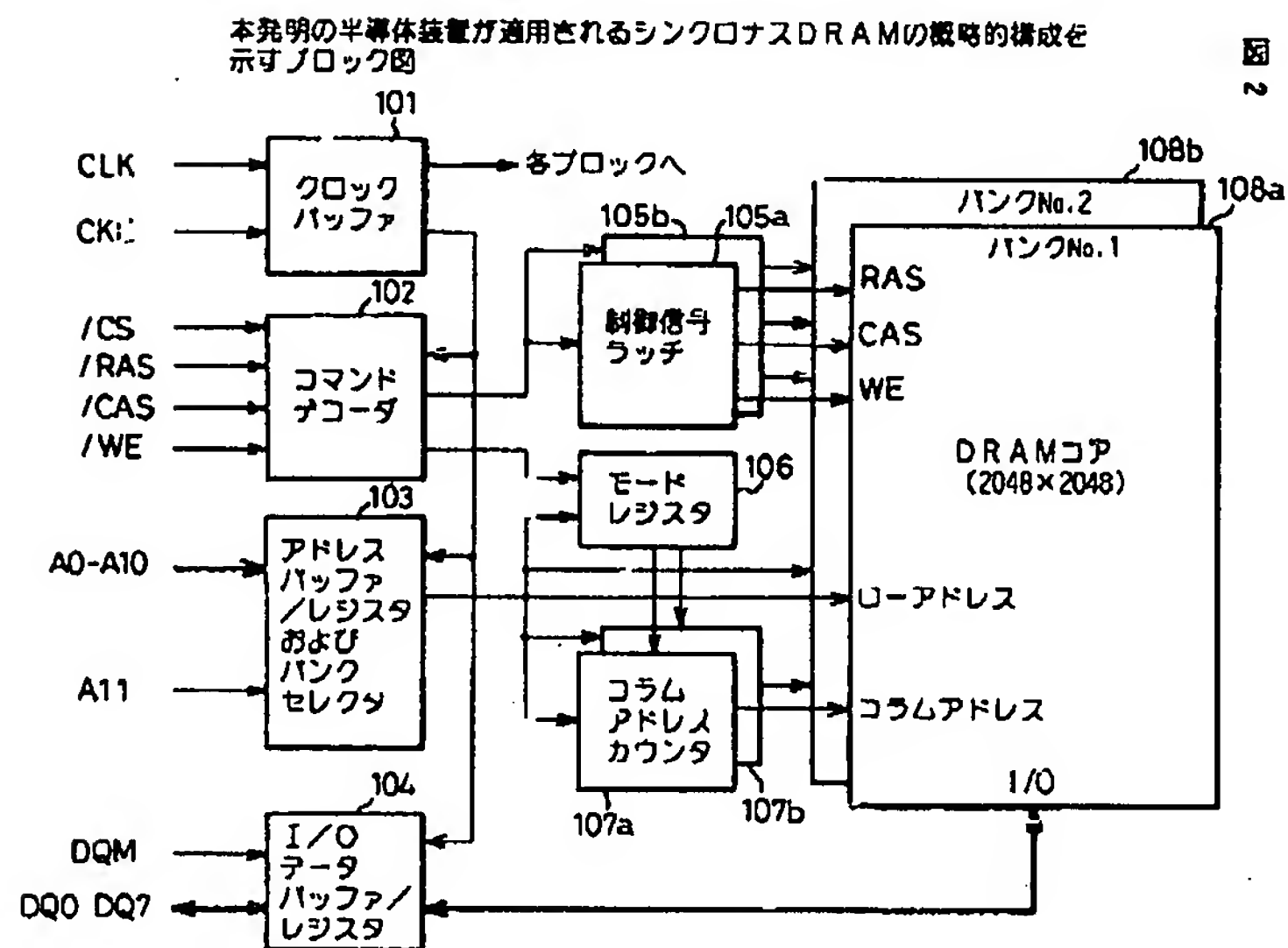
25…基本ディレイ回路  
28…ダミー入力バッファ  
29…ダミーデータ出力バッファ  
30…位相比較回路

40…ディレイ制御回路  
50…クロック周期測定回路  
60…DLL制御回路

【図1】

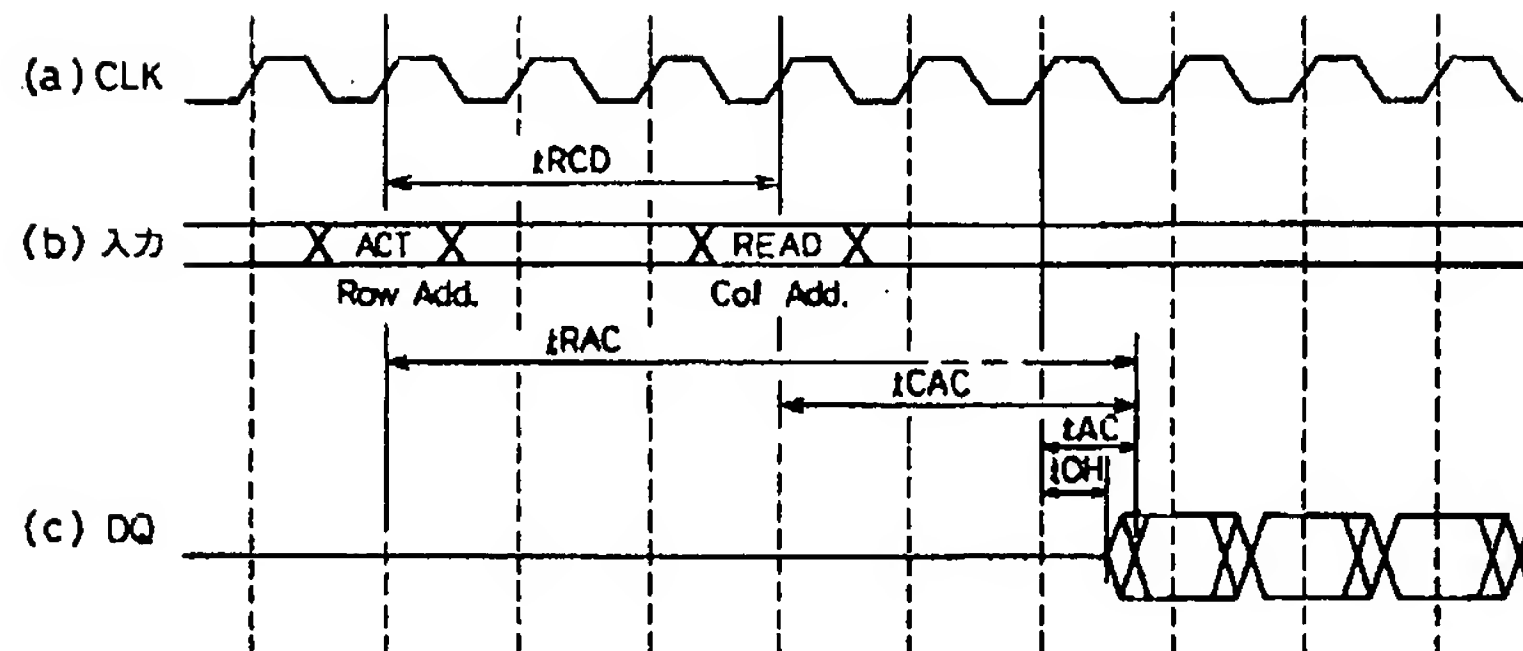


【図2】



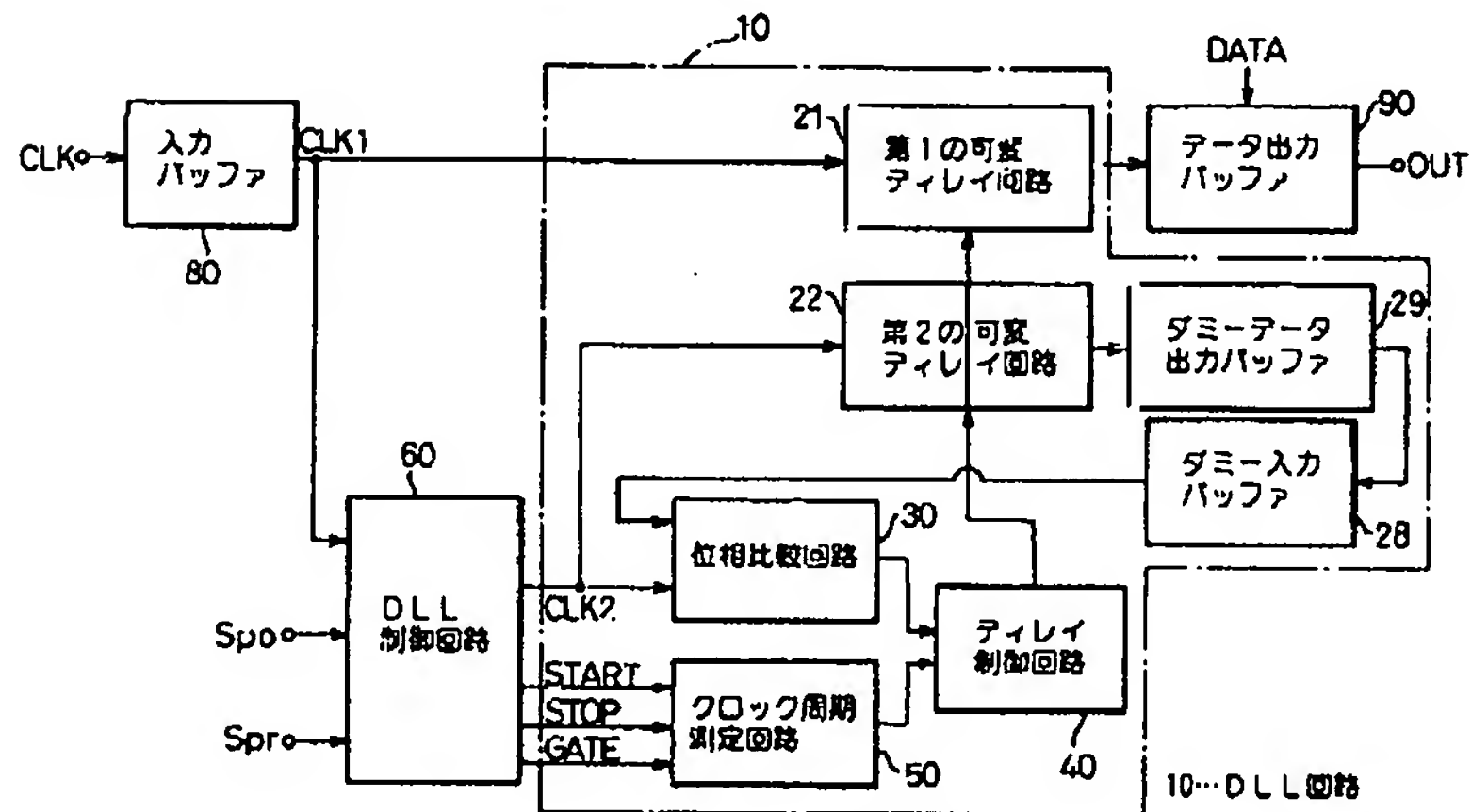
【図3】

図2のシンクロナスDRAMの動作を説明するためのタイミングチャート

図  
3

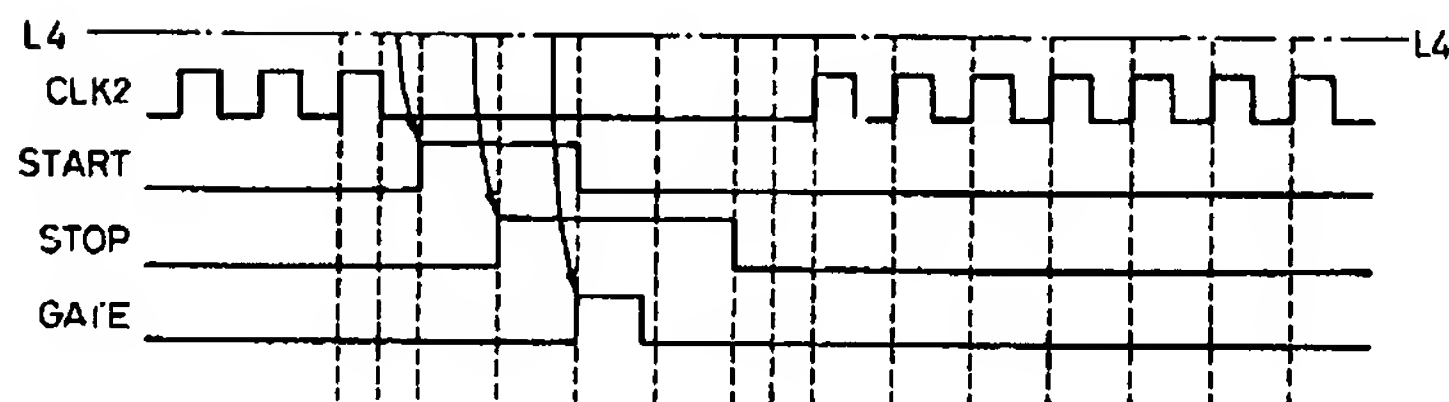
【図4】

本発明の一実施例の構成を示すブロック図

図  
4

【図7】

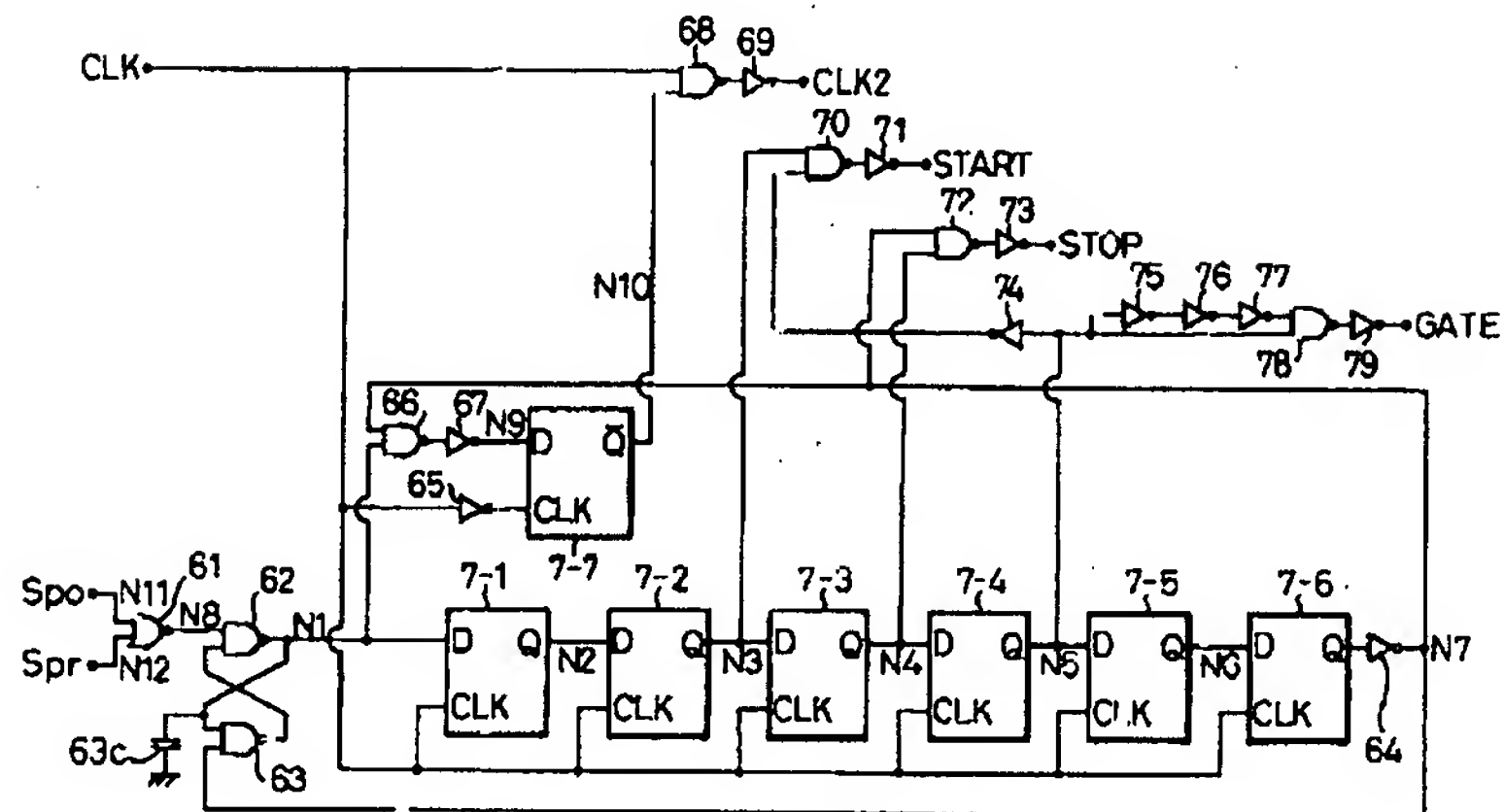
図5のDLL制御回路の動作を説明するためのタイミングチャート(その2)

図  
7



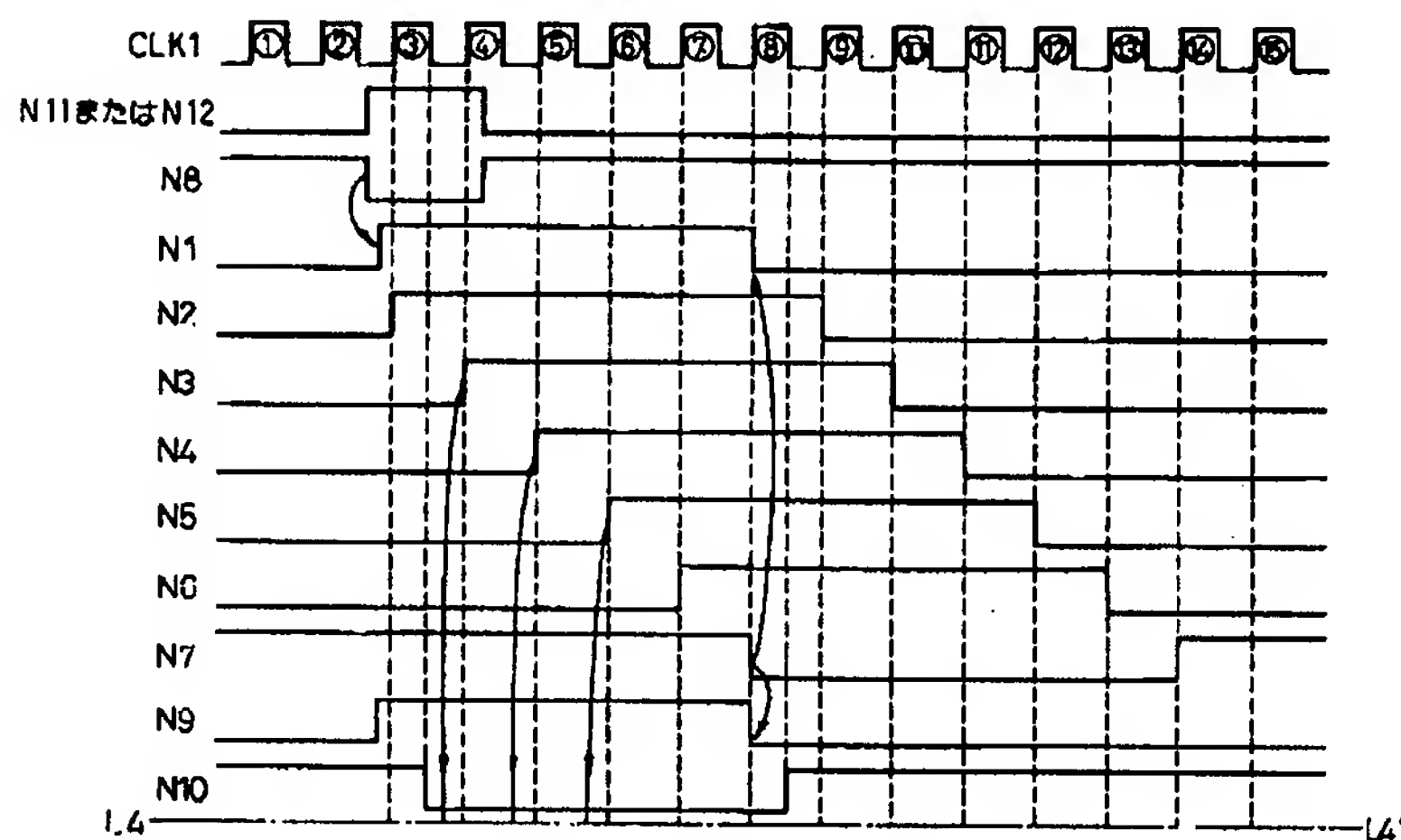
【図5】

図4のDLL制御回路の一構成例を示す回路図

図  
5

【図6】

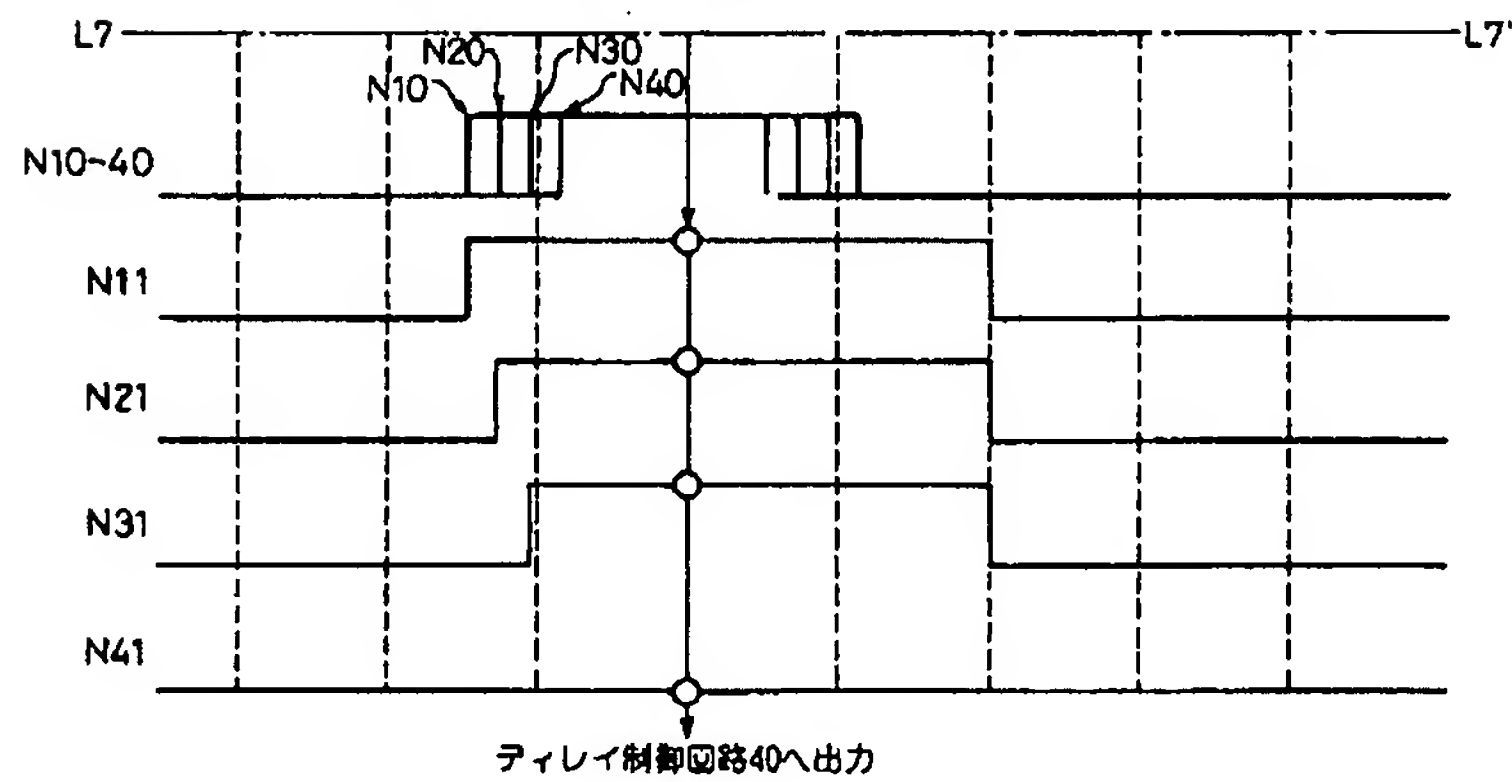
図5のDLL制御回路の動作を説明するためのタイミングチャート（その1）

図  
6

【図10】

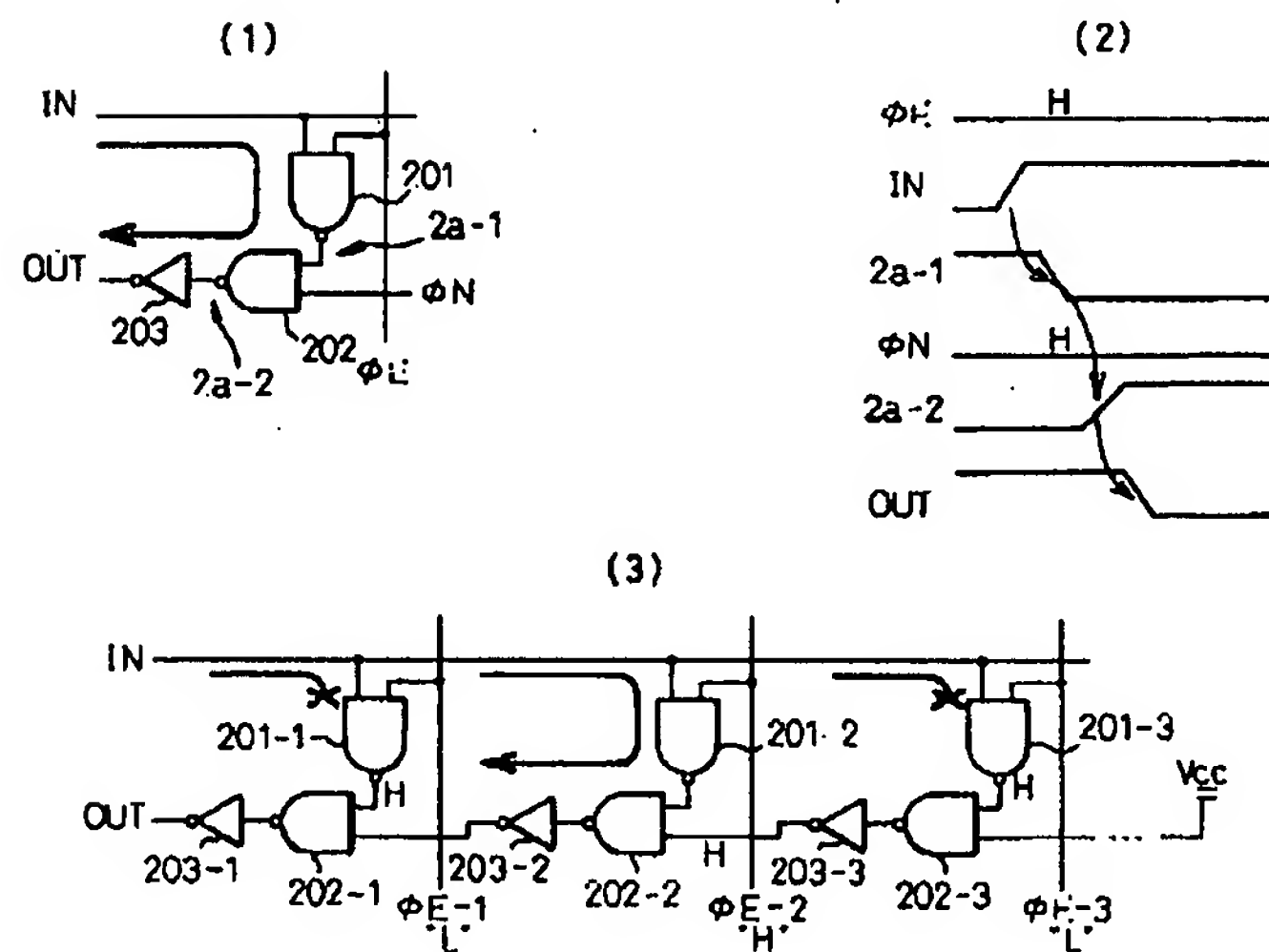
図  
10

図8のクロック周期測定回路の動作を説明するためのタイミングチャート(その2)



【図11】

図4の可変ディレイ回路の回路構成と動作波形を示す図

図  
11

【図12】

図4のディレイ制御回路の構成例を示す回路図

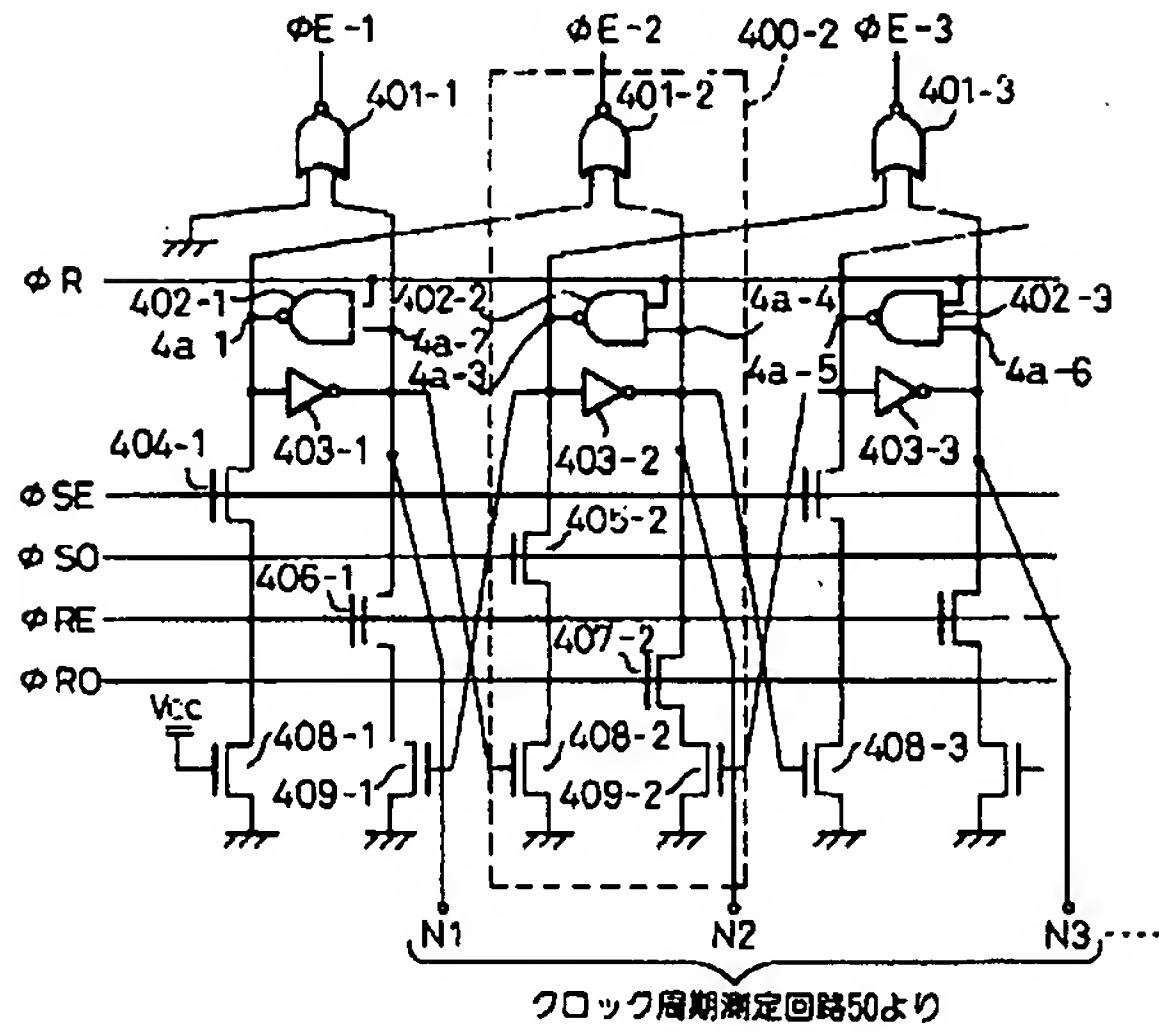


図12

【図13】

図12のディレイ制御回路の動作を説明するためのタイミングチャート

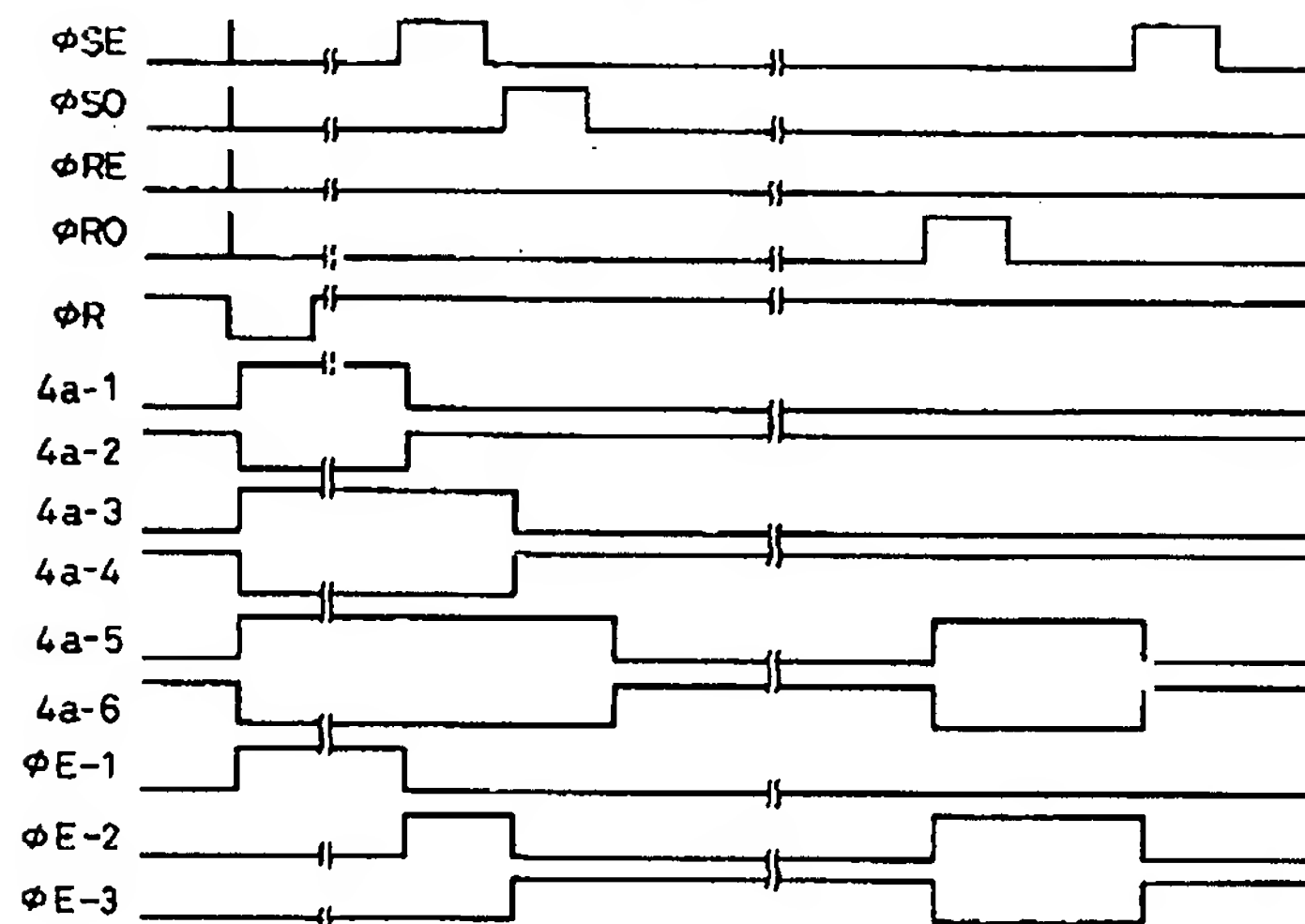
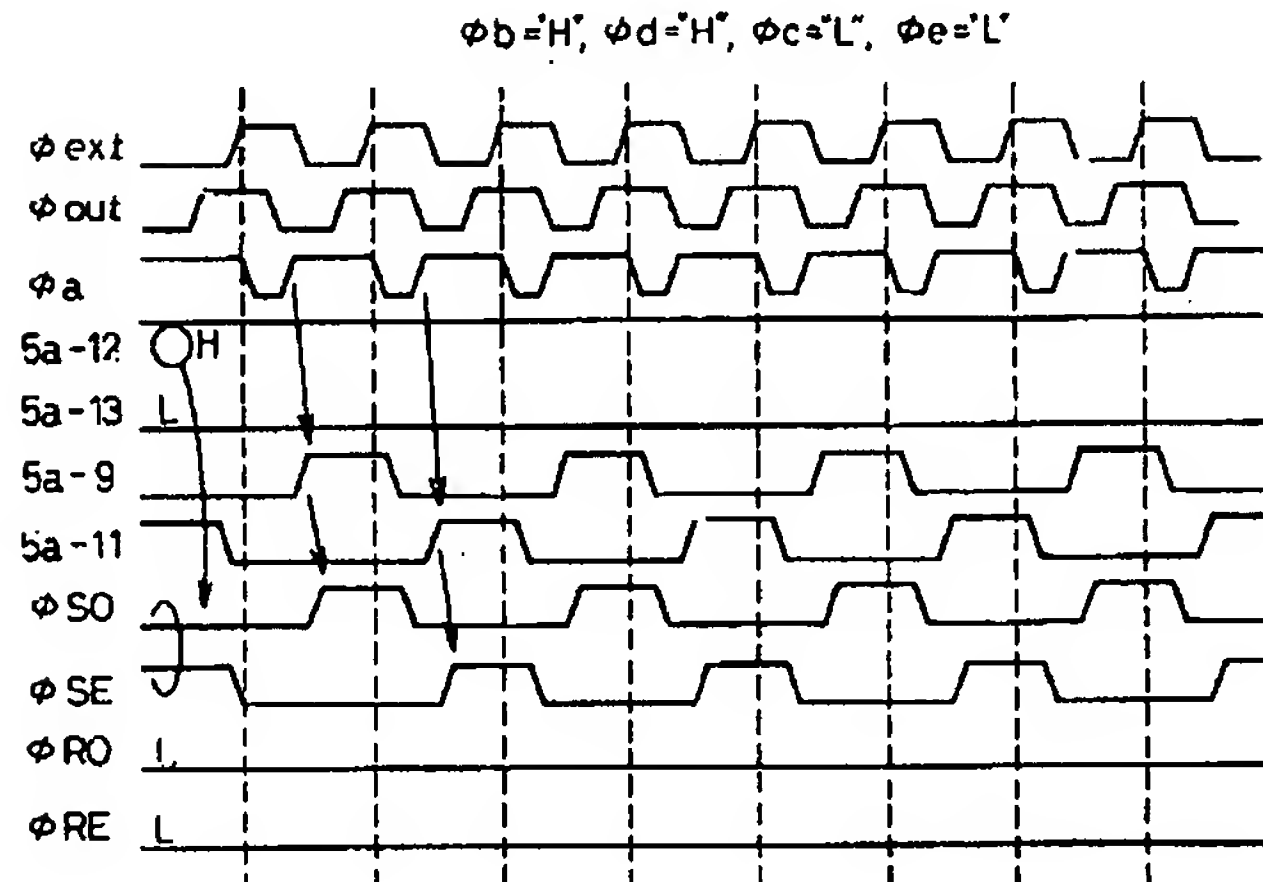


図13



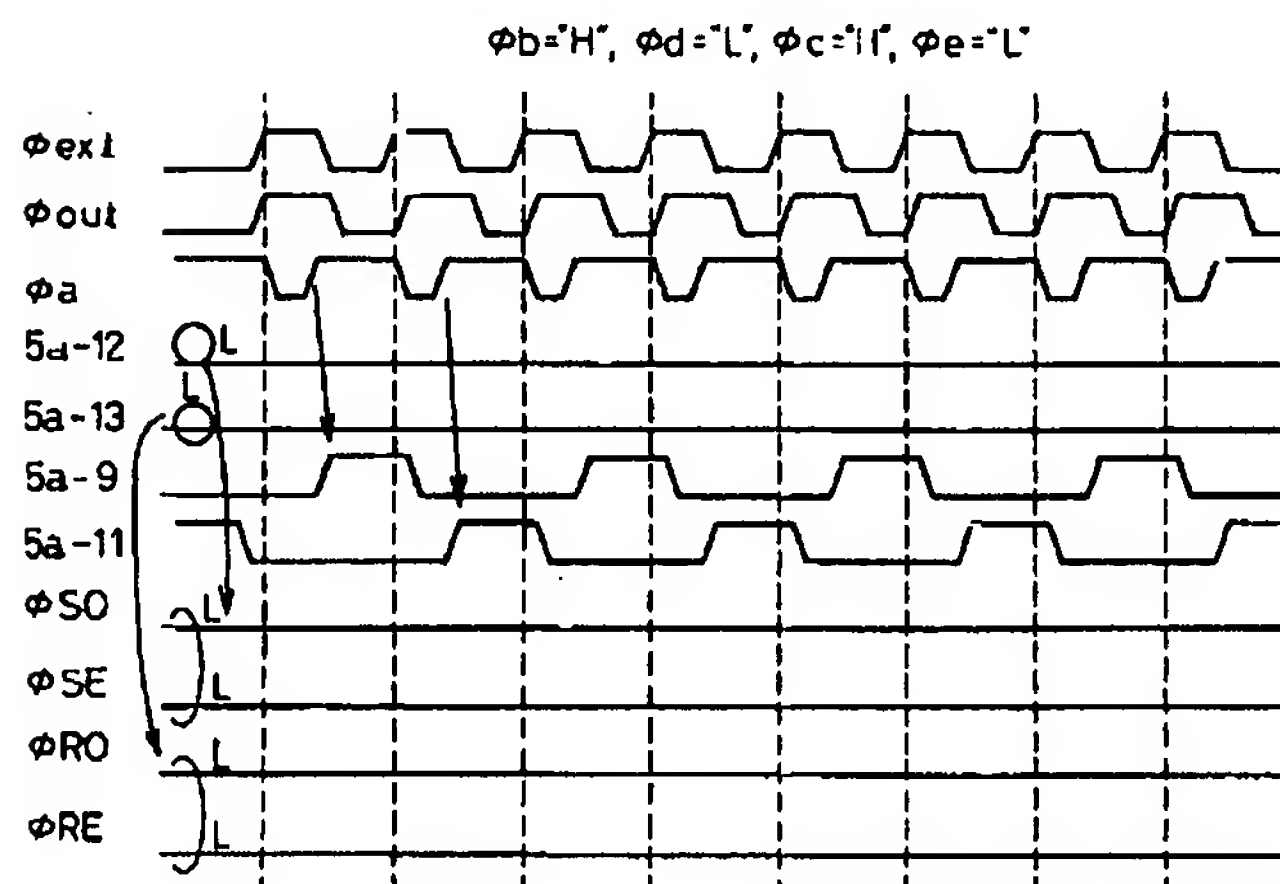
【図18】

図16の位相比較回路（増幅部）のカウントアップ動作を説明するための  
タイミングチャート

図  
18

【図19】

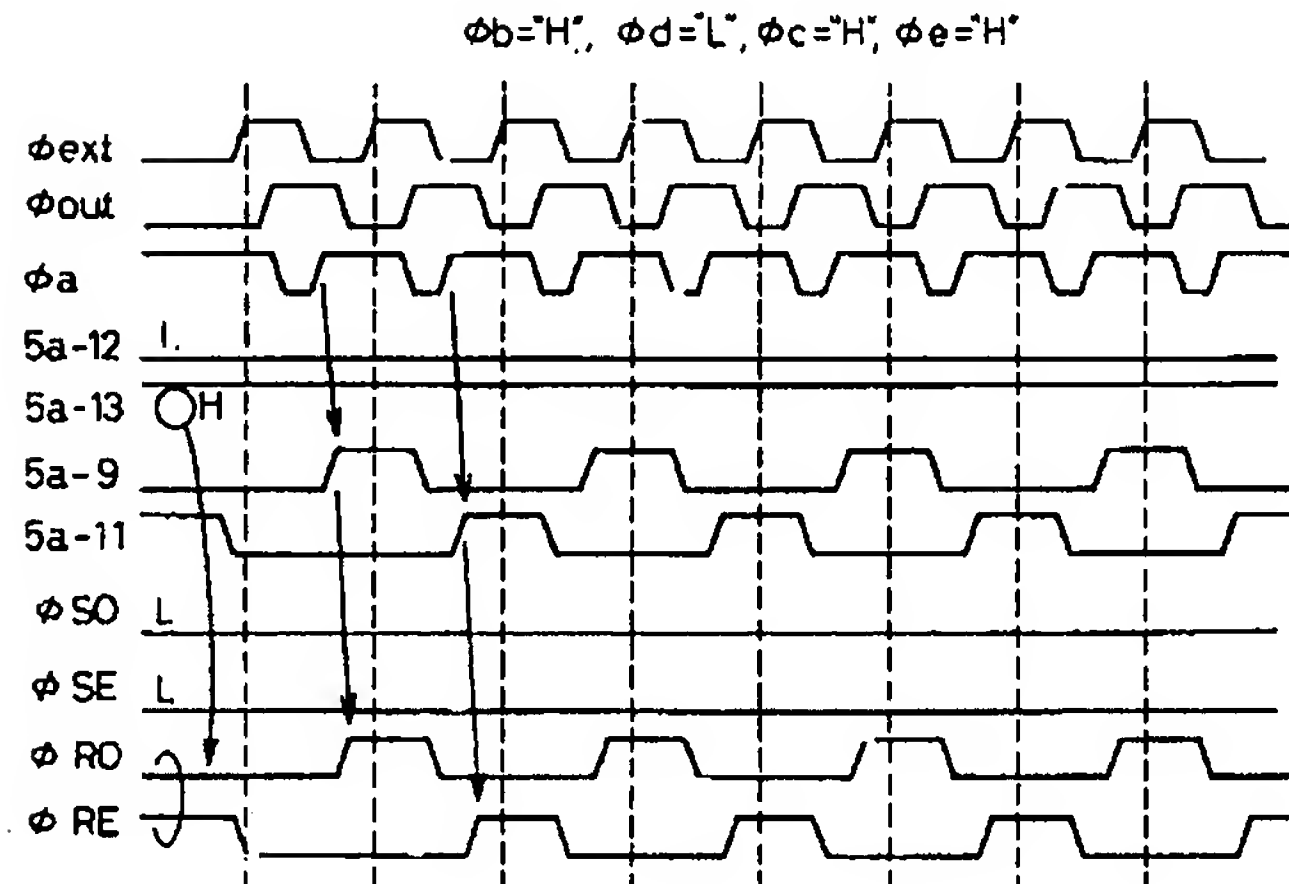
図16の位相比較回路（増幅部）のカウント維持動作を説明するための  
タイミングチャート

図  
19

【図20】

図16の位相比較回路（増幅部）のカウントダウン動作を説明するための  
タイミングチャート

図20



【図21】

従来のフロッグ位相調整回路を有する半導体装置の構成を示す回路ブロック図

図21

